

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 6月17日

出 願 番 号

Application Number:

平成11年特許願第171303号

願 人

Applicant(s):

富士通株式会社

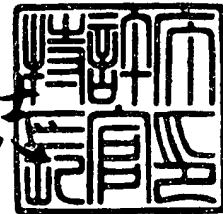


CERTIFIED COPY OF  
PRIORITY DOCUMENT

1999年 7月 9日

特許庁長官  
Commissioner,  
Patent Office

山佐 建



出証番号 出証特平11-3048625

【書類名】 特許願

【整理番号】 9901093

【提出日】 平成11年 6月17日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 G11C 29/00

【発明の名称】 半導体記憶装置

【請求項の数】 6

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 江渡 聡

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 松宮 正人

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 菊竹 陽

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100077517

    【弁理士】

    【氏名又は名称】 石田 敬

    【電話番号】 03-5470-1900

【選任した代理人】

    【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置において、

前記複数の選択線の中で、一方の端に位置する少なくとも 2 本の第 1 の冗長選択線、および他方の端に位置する少なくとも 2 本の第 2 の冗長選択線と、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続するために、少なくとも 2 段に配置された第 1 のスイッチ部および第 2 のスイッチ部とを備え、

前記複数の選択線内に欠陥が発生した場合に、前記第 1 のスイッチ部により、前記デコード信号線の少なくとも 1 本を前記第 1 の冗長選択線の方にシフトさせる第 1 の切替動作を行うか、または、前記デコード信号線の少なくとも 1 本を前記第 2 の冗長選択線の方にシフトさせる第 2 の切替動作を行うか、または、前記第 1 の切替動作と前記第 2 の切替動作の双方の切替動作を行うようにし、

前記第 2 のスイッチ部により、前記第 1 の切替動作を行った前記デコード信号線の少なくとも 1 本を、さらに前記第 1 の冗長選択線の方にシフトさせる第 3 の切替動作を行うか、または、前記第 2 の切替動作を行った前記デコード信号線の少なくとも 1 本を、さらに前記第 2 の冗長選択線の方にシフトさせる第 4 の切替動作を行うか、または、前記第 3 の切替動作と前記第 4 の切替動作の双方の切替動作を行うか、または、前記第 3 の切替動作と前記第 4 の切替動作のいずれの切替動作も行わないようにすることを特徴とする半導体記憶装置。

【請求項 2】 前記複数の選択線内の 4 本の選択線に欠陥が発生した場合に、前記第 1 のスイッチ部による前記第 1 の切替動作と前記第 2 の切替動作の双方の切替動作を行うと共に、前記第 2 のスイッチ部による前記第 3 の切替動作と前記第 4 の切替動作の双方の切替動作を行うように構成される請求項 1 記載の半導体記憶装置。

【請求項 3】 前記複数の選択線内の 3 本の選択線に欠陥が発生した場合に

、前記第 1 のスイッチ部による前記第 1 の切替動作と前記第 2 の切替動作の双方の切替動作を行うと共に、前記第 2 のスイッチ部による前記第 3 の切替動作と前記第 4 の切替動作のいずれか一方の切替動作を行うように構成される請求項 1 記載の半導体記憶装置。

【請求項 4】 前記複数の選択線内の 2 本の選択線に欠陥が発生した場合に、前記第 1 のスイッチ部による前記第 1 の切替動作と前記第 2 の切替動作のいずれか一方の切替動作を行うと共に、前記第 2 のスイッチ部による前記第 3 の切替動作と前記第 4 の切替動作のいずれか一方の切替動作を行うように構成される請求項 1 記載の半導体記憶装置。

【請求項 5】 前記複数の選択線内の 2 本の選択線に欠陥が発生した場合に、前記第 1 のスイッチ部による前記第 1 の切替動作と前記第 2 の切替動作の双方の切替動作を行い、前記第 2 のスイッチ部による前記第 3 の切替動作と前記第 4 の切替動作のいずれの切替動作も行わないように構成される請求項 1 記載の半導体記憶装置。

【請求項 6】 前記複数の選択線内の 1 本の選択線に欠陥が発生した場合に、前記第 1 のスイッチ部による前記第 1 の切替動作と前記第 2 の切替動作のいずれか一方の切替動作を行い、前記第 2 のスイッチ部による前記第 3 の切替動作と前記第 4 の切替動作のいずれの切替動作も行わないように構成される請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線の一部に欠陥が発生した場合に、冗長選択線を使用して欠陥を救済するためのシフト冗長機能を備えた半導体記憶装置に関する。

【0 0 0 2】

近年のダイナミック・ランダム・アクセス・メモリ（DRAM）や、スタティック・ランダム・アクセス・メモリ（SRAM）や、フラッシュメモリや、強誘

電体ランダム・アクセス・メモリ（FRAM、すなわち、F e r r o m a g n e t i c R A M）等のような大容量の半導体記憶装置を量産する場合、選択線等に欠陥が全くない半導体チップ（半導体集積回路）を製造することは事実上困難である。特に、量産初期の段階では欠陥が発生する確率が高いために、この半導体チップを最悪廃棄しなければならない、チップ製造上の歩留りが低下するおそれがある。このチップ製造上の歩留りの低下をできる限り抑えるために、半導体チップ内に予め設けられた冗長選択線等の冗長回路要素を利用することにより欠陥を救済する対策を講じることが不可欠になる。

【0003】

【従来の技術】

半導体チップ内の冗長回路要素を利用した冗長方式として、現在さまざまな方式が採用されているが、この中のシフト冗長方式は、アクセス速度が速い、消費電流（消費電力）が小さい等の特徴を有しており、近年の大容量の半導体記憶装置に対し有効な手段と考えられる。これまでは、選択線同士のショート等が存在して1本または2本の欠陥選択線が生じた場合に、1ビットまたは2ビットのシフト冗長を行って欠陥選択線を救済するようなシフト冗長方式の半導体記憶装置が公知になっている。

【0004】

図21は、上記のような従来の2ビット（または1ビット）のシフト冗長機能を有する半導体記憶装置の構成例を示すブロック図であり、図22は、図21に係る2ビットのシフト冗長動作を説明するための模式図である。ただし、ここでは、複数の選択線（例えば、 $n$ 本（ $n$ は2以上の任意の正の整数））に対して2ビット（または1ビット）のシフト冗長機能を有する半導体記憶装置の構成を概略的に示すこととする。さらに、ここでは、2本の選択線  $s12$  および  $s1$ （ $n-3$ ）に欠陥が発生した場合を例示することとする。

【0005】

図21および図22に示すような従来の2ビットのシフト冗長機能を有する半導体記憶装置の構成例は、例えば、平成10年11月9日付け出願済みの先行特許出願である特願平10-318164号の明細書に開示されている。

図 2 1 に示す半導体記憶装置には、外部から供給されるアドレス信号  $A d d$  をデコードするデコーダ回路 5 0 0 が設けられている。さらに、この半導体記憶装置では、このデコーダ回路 5 0 0 から出力されるデコード信号  $S d e c$  のアドレスに基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線  $s 1 0 \sim s 1 (n - 3)$  ( $n$  は 2 以上の任意の正の整数) を配置すると共に、上記複数の選択線に欠陥がない場合は、上記デコード信号  $S d e c$  が転送される複数のデコード信号線のいずれにも接続されない 2 本の冗長選択線  $s 1 j 0$ 、 $s 1 j 1$  を、上記複数の選択線の中で一方の端の位置、および他方の端の位置にそれぞれ配置している。

#### 【 0 0 0 6 】

さらに、図 2 1 においては、上記複数のデコード信号線と、上記複数の選択線および冗長選択線との接続関係を制御するシフト冗長回路 1 0 0 を設けている。このシフト冗長回路 1 0 0 は、複数のスイッチ素子を含むスイッチ部 2 0 0 と、上記複数の選択線および冗長選択線に対応して設けられる複数のヒューズを有するシフト冗長ヒューズ回路部 4 0 0 とを備えている。スイッチ部 2 0 0 は、複数のスイッチ素子のオン／オフ動作により、複数のデコード信号線を、複数の選択線および冗長選択線に切替可能に接続するためのものである。シフト冗長ヒューズ回路部 4 0 0 は、上記複数の選択線に 1 本または 2 本の欠陥が発生した場合に、これらの欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断するものである。ここで、シフト冗長ヒューズ回路部 4 0 0 から出力された信号は、シフト冗長制御回路部 3 0 0 に入力される。さらに、このシフト冗長制御回路部 3 0 0 から出力された信号は、スイッチ部 2 0 0 を制御するためのシフト制御信号として使用される。

#### 【 0 0 0 7 】

さらに、図 2 1 のシフト冗長回路 1 0 0 は、上記シフト冗長ヒューズ回路部 4 0 0 からの出力結果に応じて、上記欠陥選択線を上記デコード信号線のいずれにも接続させない非選択状態にし、上記複数の選択線の中で一方の端（例えば、左端）に位置する第 1 の冗長選択線  $s 1 j 0$  の方向に、1 本の選択線の分（すなわち、1 ビット分）だけ上記複数のデコード信号線をシフトさせたり、上記複数の

選択線の中で他方の端（例えば、右端）に位置する第2の冗長選択線  $s1j1$  の方向に、1本の選択線の分だけ上記複数のデコード信号線をシフトさせたりするように、上記複数のスイッチ素子の切替動作を制御するシフト冗長制御回路部 300を備えている。換言すれば、図21の半導体記憶装置は、第1の冗長選択線の方、もしくは、第2の冗長選択線の方、またはその両方の方向にシフトさせることにより、1ビットまたは2ビットのシフト冗長を行うように構成される。ここで、「デコード信号線をシフトさせる」とは、選択線とデコード信号線との接続の状態をシフトさせることを意味する。

#### 【0008】

さらに、図21に示す半導体記憶装置では、スイッチ部200内の複数のスイッチ素子の各々が、上記第1の冗長選択線  $s1j0$  の方向へのシフト動作（すなわち、後述の左方向シフト）を行うモード、上記第2の冗長選択線の方へのシフト動作（すなわち、後述の右方向シフト）を行うモード、またはシフト動作を行わないモード（すなわち、後述のシフトなし）を選択することが可能な3方向性のスイッチ素子により構成される。

#### 【0009】

つぎに、図22の模式図により、2ビットのシフト冗長動作の概略を説明する。図22において、 $c1j0$  および  $c1j1$  は、シフト冗長動作時に使用される冗長選択線（例えば、冗長選択用カラム選択線）を示し、 $c10 \sim c163$  は、通常動作時に使用される通常選択用の選択線（例えば、カラム選択線）を示す。これらの選択線は、スイッチ部200内の複数のスイッチ素子を介して半導体チップの外部より与えられるアドレス信号をデコードしたデコード信号線  $d0 \sim d63$  と接続している。シフト冗長処理前または選択線等に欠陥が存在しない場合、 $c10$  と  $d0$ 、 $c11$  と  $d1$ 、…  $c162$  と  $d62$ 、 $c163$  と  $d63$  が接続されるように、スイッチ素子によって制御される。選択線  $c1\#$  とデコード信号線  $d\#$ （ $\# : 0 \sim 63$ ）が接続されるような場合をNS（Non-Shift：シフトなし）とよぶ。

#### 【0010】

図22の模式図は、2本の選択線  $c12$ 、 $c157$  に欠陥が存在し、かつ、こ



これらの欠陥に対しシフト冗長を行う場合を説明するためのものである。デコード信号線 d 0、d 1 および d 2 は、冗長選択線 c 1 j 0、選択線 c 1 0、および選択線 c 1 1 にそれぞれ接続される（SL (Shift Left) : 左方向シフト）。選択線 c 1 2、c 1 5 7 は、どのデコード信号線にも接続されず、常に非選択状態となる。選択線 c 1 3 ~ c 1 5 6 は、NS の状態になっており、選択線、c 1 5 8 ~ c 1 6 3、および冗長選択線 c 1 j 1 は、デコード信号線 d 5 7 ~ d 6 3 にそれぞれ接続される（SR (Shift Right) : 右方向シフト）。

【0011】

【発明が解決しようとする課題】

上記のとおり、図 21 に示したような従来の 2 ビットのシフト冗長機能を有する半導体記憶装置においては、複数の選択線の中の 2 本に欠陥が発生した場合に、一方の冗長選択線の方、および他方の冗長選択線の方、にデコード信号線をシフトさせることにより、2 ビットのシフト冗長を行って 2 本の欠陥選択線（2 個の欠陥）を救済することが可能になる。また一方で、複数の選択線の中の 1 本に欠陥が発生した場合には、2 本の冗長選択線のいずれか一方の方、にデコード信号線をシフトさせることにより、1 ビットのシフト冗長を行って 1 本の欠陥選択線（1 個の欠陥）を救済することも可能である。

【0012】

しかしながら、DRAM や SRAM やフラッシュメモリ 等の量産を目的として半導体チップを製造する場合、実際には、製造プロセスの異常等により選択線のピッチよりも大きなゴミが発生して半導体チップ上に付着することがある。このようなときには、半導体チップ上のある一部に集中して 3 本以上の欠陥選択線（3 個以上の欠陥）が発生するような群不良が少なからず存在する。特に、量産初期の段階では、この群不良が発生する可能性が比較的高い傾向にある。

【0013】

それゆえに、上記のような群不良等によって半導体チップ上に 3 個以上の欠陥が発生した場合には、従来の 2 ビットのシフト冗長方式を用いても上記の欠陥を救済することが不可能になっていた。この結果、特に量産初期の段階でチップ製造上の歩留りの向上が抑えられるという問題が生じてきた。

本発明は上記問題点に鑑みてなされたものであり、半導体チップ上に 3 本以上の欠陥選択線が生じた場合に、このような欠陥選択線を救済してチップ製造上の歩留りの飛躍的な向上を可能にするシフト冗長方式の半導体記憶装置を提供することを目的とするものである。

【0014】

【課題を解決するための手段】

図 1 は、本発明の原理構成を示すブロック図である。ここでは、複数の選択線  $R_0 \sim R(n-1)$ （この場合も、 $n$  は 2 以上の任意の正の整数とする）を有する本発明の半導体記憶装置の構成を概略的に示すこととする。さらに、ここでは、4 本の選択線  $R_1$ 、 $R_3$ 、 $R(n-4)$ 、および  $R(n-2)$  に欠陥が発生した場合のスイッチ部の切替動作の様子を図示することとする。

【0015】

上記問題点を解決するために、本発明の半導体記憶装置は、図 1 に示すように、外部から供給されるアドレス信号  $Add$  に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線  $R_0 \sim R(n-1)$ （すなわち、リアル選択線）を配置しており、上記複数の選択線の中で、一方の端に位置する少なくとも 2 本の第 1 の冗長選択線（例えば、左端の 2 本の冗長選択線  $JL_0$ 、 $JL_1$ ）、および他方の端に位置する少なくとも 2 本の第 2 の冗長選択線（例えば、左端の 2 本の冗長選択線  $JR_0$ 、 $JR_1$ ）と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続するために、少なくとも 2 段に配置された第 1 のスイッチ部 2-1 および第 2 のスイッチ部 2-2 とを備えている。これらの第 1 および第 2 のスイッチ部 2-1、2-2 は、後述の 4 ビットのシフト冗長機能を有するシフト冗長回路 1 の主要部を構成する。

【0016】

上記のような第 1 および第 2 のスイッチ部 2-1、2-2 を備えた構成において、上記複数の選択線内に欠陥が発生した場合に（図 1 では、4 本の選択線に欠陥が発生している）、上記第 1 のスイッチ部 2-1 により、上記デコード信号線の少なくとも 1 本を上記第 1 の冗長選択線の方にシフトさせる第 1 の切替動作

を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにし、上記第2のスイッチ部2-2により、上記第1の切替動作を行った上記デコード信号線の少なくとも1本を、さらに上記第1の冗長選択線の方にシフトさせる第3の切替動作を行うか、または、上記第2の切替動作を行った上記デコード信号線の少なくとも1本を、さらに上記第2の冗長選択線の方にシフトさせる第4の切替動作を行うか、または、上記第3の切替動作と上記第4の切替動作の双方の切替動作を行うか、または、上記第3の切替動作と上記第4の切替動作のいずれの切替動作も行わないようにしている。ここで、「デコード信号線をシフトさせる」とは、「従来の技術」の項にても述べたように、選択線とデコード信号線との接続の状態をシフトさせることを意味する。

## 【0017】

好ましくは、上記複数の選択線内の4本の選択線に欠陥が発生した場合に、上記第1のスイッチ部による上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うと共に、上記第2のスイッチ部による上記第3の切替動作と上記第4の切替動作の双方の切替動作を行うように構成される。

さらに、好ましくは、上記複数の選択線内の3本の選択線に欠陥が発生した場合に、上記第1のスイッチ部による上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うと共に、上記第2のスイッチ部による上記第3の切替動作と上記第4の切替動作のいずれか一方の切替動作を行うように構成される。

## 【0018】

さらに、好ましくは、上記複数の選択線内の2本の選択線に欠陥が発生した場合に、上記第1のスイッチ部による上記第1の切替動作と上記第2の切替動作のいずれか一方の切替動作を行うと共に、上記第2のスイッチ部による上記第3の切替動作と上記第4の切替動作のいずれか一方の切替動作を行うように構成される。

## 【0019】

さらに、好ましくは、上記複数の選択線内の2本の選択線に欠陥が発生した場

合に、上記第 1 のスイッチ部による上記第 1 の切替動作と上記第 2 の切替動作の双方の切替動作を行い、上記第 2 のスイッチ部による上記第 3 の切替動作と上記第 4 の切替動作のいずれの切替動作も行わないように構成される。

さらに、好ましくは、上記複数の選択線内の 1 本の選択線に欠陥が発生した場合に、上記第 1 のスイッチ部による上記第 1 の切替動作と上記第 2 の切替動作のいずれか一方の切替動作を行い、上記第 2 のスイッチ部による上記第 3 の切替動作と上記第 4 の切替動作のいずれの切替動作も行わないように構成される。

#### 【0020】

さらに、好ましくは、上記切替動作により、上記第 1 の冗長選択線および上記第 2 の冗長選択線の少なくとも 1 本を上記デコード信号線に接続する場合に、上記複数の選択線に近い側に位置する冗長選択線（例えば、内側の冗長選択線 J L 0、J R 0）を優先して使用するようになっている。

さらに詳しく説明すると、図 1 に示す半導体記憶装置は、外部から供給されるアドレス信号 A d d をデコードするデコーダ回路 5 を備えている。このデコーダ回路 5 は、図 2 1 のデコーダ回路 5 0 0 とほぼ同じ機能を有するものである。さらに、図 1 に示す半導体記憶装置では、このデコーダ回路 5 から出力されるデコード信号 S d e c のアドレスに基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線 R 0 ~ R (n-1) (n は 2 以上の任意の正の整数) を配置している。さらに、図 1 に示す半導体記憶装置においては、上記デコード信号 S d e c が転送される複数のデコード信号線のいずれにも接続されない 2 本の第 1 の冗長選択線 J L 0、J L 1 を、上記複数の選択線の中で一方の端の位置（例えば、左端の位置）に配置し、かつ、上記複数のデコード信号線のいずれにも接続されない 2 本の第 2 の冗長選択線 J R 0、J R 1 を、上記複数の選択線の中で他方の端の位置（例えば、右端の位置）に配置している。

#### 【0021】

さらに、図 1 においては、上記複数のデコード信号線と上記複数の選択線 R 0 ~ R (n-1) との接続関係や、上記複数のデコード信号線と第 1 および第 2 の冗長選択線 J L 0、J L 1、J R 0 および J R 1 との接続関係を制御するシフト

冗長回路 1 を設けている。このシフト冗長回路 1 は、複数のデコード信号線を、上記複数の選択線と第 1 および第 2 の冗長選択線に切替可能に接続するための複数のスイッチ素子を含む第 1 のスイッチ部 2-1 および第 2 のスイッチ部 2-2 を有する。これらの第 1 のスイッチ部 2-1 および第 2 のスイッチ部 2-2 の各々は、好ましくは 2 ビットのシフト冗長機能を備えており、これらの第 1 のスイッチ部 2-1 および第 2 のスイッチ部 2-2 の複数のスイッチ素子を 2 段かつ直列に接続することによって、最高 4 ビットのシフト冗長が可能になる。

#### 【0022】

より具体的には、複数のデコード信号線に直接接続される一端部を有するスイッチ部を第 1 のスイッチ部 2-1 とし、この第 1 のスイッチ部の他端部と複数の選択線（欠陥選択線が生じた場合は、複数の選択線と第 1 および第 2 の冗長選択線）との間に接続されるスイッチ部を第 2 のスイッチ部 2-2 として、2 段構えのスイッチ回路が形成される。ここで、第 1 および第 2 の冗長選択線の全てまたはその一部を、対応するデコード信号線に接続する場合、上記複数の選択線に近い側に位置する冗長選択線（内側の冗長選択線 J L 0、J R 0）を最初に使用し、上記複数の選択線から離れた側に位置する冗長選択線（外側の冗長選択線 J L 1、J R 1）を次に使用するようにしている。

#### 【0023】

さらに、上記シフト冗長回路 1 は、上記複数の選択線と第 1 および第 2 の冗長選択線に対応して設けられる複数のヒューズを有するシフト冗長ヒューズ回路部 4 を有する。このシフト冗長ヒューズ回路部 4 は、上記複数の選択線に欠陥が発生した場合に、これらの欠陥が発生した欠陥選択線に対応するヒューズ、および、上記第 1 および第 2 の冗長選択線の全てまたはその一部に対応する冗長選択用ヒューズを切断する。このシフト冗長ヒューズ回路部 4 は、図 21 のシフト冗長ヒューズ回路部 400 とほぼ同じ機能を有するものである。

#### 【0024】

ここで、シフト冗長ヒューズ回路部 4 から出力された信号は、後述の第 1 のシフト冗長制御回路部 3-1 および第 2 のシフト冗長制御回路部 3-2 に入力される。さらに、第 1 のシフト冗長制御回路部 3-1 から出力された信号は、第 1 の

スイッチ部 2-1 を制御するための第 1 のシフト制御信号として使用される。また一方で、第 2 のシフト冗長制御回路部 3-2 から出力された信号は、第 2 のスイッチ部 2-2 を制御するための第 2 のシフト制御信号として使用される。

【0025】

図 1 に示す半導体装置では、説明を簡単にするために、2 ビットのシフト冗長機能を有するスイッチ回路を 2 段に配置して最高 4 ビットのシフト冗長を実行する構成（すなわち、第 1 および第 2 のスイッチ部 2-1、2-2 の各々における複数のスイッチ素子を互いに直列に接続した構成）を開示しているが、このようなスイッチ回路を N 段（N は 3 以上の任意の正の整数）構えに配置すれば、最高  $2N$  ビットのシフト冗長（0、1 ビット、2 ビット、……、 $2(N-1)$  ビット、または  $2N$  ビットのシフト冗長）が可能になることに注目すべきである。

【0026】

さらに、図 1 のシフト冗長回路 1 は、シフト冗長ヒューズ回路部 4 からの出力結果に応じて、第 1 のスイッチ部 2-1 および第 2 のスイッチ部 2-2 内の複数のスイッチ素子の切替動作をそれぞれ制御する第 1 のシフト冗長制御回路部 3-1 および第 2 のシフト冗長制御回路部 3-2 を備えている。

より具体的にいえば、第 1 のシフト冗長制御回路部 3-1 は、少なくとも 1 個の欠陥が発生した場合に、この欠陥に対応する欠陥選択線を複数のデコード信号線のいずれにも接続させない非選択状態にするために、左端の第 1 の冗長選択線の中で内側に位置する第 1 の冗長選択線  $JL0$  の方向に、1 本の選択線の分（すなわち、1 ビット分）だけ上記複数のデコード信号線をシフトさせたり、右端の第 2 の冗長選択線の中で内側に位置する第 2 の冗長選択線  $JR0$  の方向に、1 本の選択線の分だけ上記複数のデコード信号線をシフトさせたりするように、2 ビットのシフト冗長機能を有する第 1 のスイッチ部 2-1 内の複数のスイッチ素子の切替動作を制御する。好ましくは、第 1 のシフト冗長制御回路部 3-1 は、第 1 のスイッチ部 2-1 内の複数のスイッチ素子にそれぞれ対応して設けられる複数の第 1 のシフト制御回路を備えている。

【0027】

また一方で、第 2 のシフト冗長制御回路部 3-2 は、2 個～4 個の欠陥が発生

した場合に、この欠陥に対応する欠陥選択線を複数のデコード信号線のいずれにも接続させない非選択状態にするために、左端の第 1 の冗長選択線の中で外側に位置する第 1 の冗長選択線 J L 1 の方向に、1 本の選択線の分（すなわち、1 ビット分）だけ上記複数のデコード信号線をさらにシフトさせたり、右端の第 2 の冗長選択線の中で外側に位置する第 2 の冗長選択線 J R 1 の方向に、1 本の選択線の分だけ上記複数のデコード信号線をさらにシフトさせたりするように、2 ビットのシフト冗長機能を有する第 2 のスイッチ部 2 - 2 内の複数のスイッチ素子の切替動作を制御する。好ましくは、第 2 のシフト冗長制御回路部 3 - 2 は、第 2 のスイッチ部 2 - 2 内の複数のスイッチ素子にそれぞれ対応して設けられる複数の第 2 のシフト制御回路を備えている。

#### 【0028】

換言すれば、第 1 のシフト冗長制御回路部 3 - 1 は、複数の第 1 のシフト制御回路によって、複数の選択線に近い側に位置する 2 本の冗長選択線 J L 0、J R 0 を選択するために使用される第 1 のスイッチ部 2 - 1 の第 1 の切替動作と第 2 の切替動作を制御する。また一方で、第 2 のシフト冗長制御回路部 3 - 2 は、複数の第 2 のシフト制御回路によって、複数の選択線から離れた側に位置する 2 本の冗長選択線 J L 1、J R 1 を選択するために使用される第 2 のスイッチ部 2 - 2 の第 3 の切替動作と第 4 の切替動作を制御する。これらの第 1 および第 2 のスイッチ部 2 - 1、2 - 2 の第 1 ～第 4 の切替動作を適切に制御することによって、1 ビット～4 ビットのシフト冗長機能が実現される。

#### 【0029】

なお、このような 1 ビット～4 ビットのシフト冗長の対象となる複数の選択線として、半導体記憶装置内のワード選択線や、カラム選択線や、またはデータバス用の選択線等が考えられる。

要約すれば、本発明では、少なくとも 2 ビットのシフト冗長機能を有するスイッチ部を 2 段かつ直列に配置し、各々のスイッチ部に対して、一方の冗長選択線の方角もしくは他方の冗長選択線の方角または双方の冗長選択線の方角にデコード信号線をシフトさせる切替動作を行わせることにより、半導体チップ上に 3 本以上の欠陥選択線が発生した場合に、3 ビット以上のシフト冗長動作を行って上

記の欠陥選択線を救済することが可能になる。また一方で、2段に配置されたスイッチ部の少なくとも一方のスイッチ部に対して、一方の冗長選択線の方角もしくは他方の冗長選択線の方角または双方の冗長選択線の方角に切替動作を行わせることにより、半導体チップ上に1本または2本の欠陥選択線が発生した場合でも、これらの欠陥選択線を救済することも可能になる。

【0030】

【発明の実施の形態】

以下、添付図面（図2～図20）を参照しながら、本発明の好ましい実施例を説明する。ここでは、まず、複数の選択線に1本～4本の欠陥が発生した場合の本発明の第1および第2のスイッチ部2-1、2-2の具体的な切替動作について説明することとする。

【0031】

図2は、4本の実選線に欠陥が生じた場合のスイッチ部の動作を示す模式図であり、図3は、3本の実選線に欠陥が生じた場合のスイッチ部の動作の第1例を示す模式図であり、図4は、3本の実選線に欠陥が生じた場合のスイッチ部の動作の第2例を示す模式図である。

さらに、図5は、2本の実選線に欠陥が生じた場合のスイッチ部の動作の第1例を示す模式図であり、図6は、2本の実選線に欠陥が生じた場合のスイッチ部の動作の第2例を示す模式図であり、図7は、2本の実選線に欠陥が生じた場合のスイッチ部の動作の第3例を示す模式図である。

【0032】

さらに、図8は、1本の実選線に欠陥が生じた場合のスイッチ部の動作の第1例を示す模式図であり、図9は、1本の実選線に欠陥が生じた場合のスイッチ部の動作の第2例を示す模式図であり、図10は、実選線に欠陥がない場合のスイッチ部の動作を示す模式図である。ただし、図2～図10においては、スイッチ部の切替動作の説明を簡単にするために、スイッチ部および複数の実選線の構成を簡略化して示す。なお、これ以降、前述した構成要素と同一のものについては、同一の参照番号を付して表すこととする。

【0033】



図2～図10においては、通常動作時に使用される通常選択用の8本の選択線R0～R7と、2本の第1の冗長選択線JL0、JL1と、2本の第2の冗長選択線JR0、JR1が設けられている。通常選択用の選択線R0～R7は、図10に示すように、第2のスイッチ部2-2の複数のスイッチ素子に接続される。さらに、この第2のスイッチ部2-2の複数のスイッチ素子は、第1のスイッチ部2-1の複数のスイッチ素子に接続される。さらに、この第1のスイッチ部2-1の複数のスイッチ素子は、半導体チップの外部より与えられるアドレス信号をデコードした8本のデコード信号線（図示していない）に接続される。シフト冗長処理前または選択線等に欠陥が存在しない場合、選択線R0～R7と対応するデコード信号線とが接続されるように、第1および第2のスイッチ部の複数のスイッチ素子が動作する（シフトなし）。すなわち、図10の場合、第1および第2のスイッチ部2-1、2-2は、冗長選択線の方にデコード信号線をシフトさせる切替動作を行わないので、4本の冗長選択線がデコード信号線に接続されていない状態になっている。

#### 【0034】

図2は、4本の選択線R1、R3、R5およびR7に欠陥が存在し、かつ、これらの欠陥に対し4ビットのシフト冗長を行う場合を説明するためのものである。図2において、第1のスイッチ部2-1は、左側の4本のデコード信号線が、通常選択用の選択線R0に近い側に位置する第1の冗長選択線JL0の方向にシフト（1ビットシフト）するように、対応する4本のスイッチ素子の切替動作を行う（左方向シフト）。さらに、第1のスイッチ部2-1は、右側の3本のデコード信号線が、通常選択用の選択線R7に近い側に位置する第2の冗長選択線JR0の方向にシフト（1ビットシフト）するように、対応する3本のスイッチ素子の切替動作を行う（右方向シフト）。さらに、第1のスイッチ部2-1および第2のスイッチ部2-2は、左方向シフトおよび右方向シフトのいずれも行わず、デコード信号線と選択線R4とが接続されるように、スイッチ素子を動作させる（シフトなし）。

#### 【0035】

さらに、図2において、第2のスイッチ部2-2は、左側の3本のデコード信

号線が、通常選択用の選択線 R 0 から離れた側に位置する第 1 の冗長選択線 J L 1 の方向にさらにシフト（1 ビットシフト）するように、対応する 3 本のスイッチ素子の切替動作を行う（左方向シフト）。さらに、第 2 のスイッチ部 2-2 は、右側の 2 本のデコード信号線が、通常選択用の選択線 R 7 から離れた側に位置する第 2 の冗長選択線 J R 1 の方向にさらにシフト（1 ビットシフト）するように、対応する 2 本のスイッチ素子の切替動作を行う（右方向シフト）。さらに、第 2 のスイッチ部 2-2 は、左方向シフトおよび右方向シフトのいずれも行わず、第 1 のスイッチ部 2-1 のスイッチ素子と選択線 R 2 とが接続されるように、スイッチ素子を動作させる（シフトなし）。さらに、第 2 のスイッチ部 2-2 は、左方向シフトおよび右方向シフトのいずれも行わず、第 1 のスイッチ部のスイッチ素子と選択線 R 6 とが接続されるように、スイッチ素子を動作させる（シフトなし）。この場合、4 個の欠陥に対応する欠陥選択線 R 1、R 3、R 5 および R 7 は、どのデコード信号線にも接続されず、常に非選択状態となる。

#### 【0036】

換言すれば、図 2 においては、通常選択用の選択線に近い側に位置する冗長選択線 J L 0、J R 0 を使用して 2 ビットのシフト冗長を行うと共に、通常選択用の選択線から離れた側に位置する冗長選択線 J L 1、J R 1 を使用して 2 ビットのシフト冗長を行うことにより、最終的に 4 ビットのシフト冗長を行うことが可能になる。

#### 【0037】

図 3 は、3 本の選択線 R 1、R 3 および R 6 に欠陥が存在し、かつ、これらの欠陥に対し 3 ビットのシフト冗長を行う場合の第 1 例を説明するためのものである。図 3 において、第 1 のスイッチ部 2-1 は、左側の 4 本のデコード信号線が、通常選択用の選択線 R 0 に近い側に位置する第 1 の冗長選択線 J L 0 の方向にシフトするように、対応する 4 本のスイッチ素子の切替動作を行う（左方向シフト）。さらに、第 1 のスイッチ部 2-1 は、右側の 2 本のデコード信号線が、通常選択用の選択線 R 7 に近い側に位置する第 2 の冗長選択線 J R 0 の方向にシフトするように、対応する 2 本のスイッチ素子の切替動作を行う（右方向シフト）

。さらに、第1のスイッチ部2-1および第2のスイッチ部2-2は、左方向シフトおよび右方向シフトのいずれも行わず、デコード信号線と選択線R4、R5とが接続されるように、スイッチ素子を動作させる（シフトなし）。

#### 【0038】

さらに、図3において、第2のスイッチ部2-2は、左側の3本のデコード信号線が、通常選択用の選択線R0から離れた側に位置する第1の冗長選択線JL1の方向にさらにシフトするように、対応する3本のスイッチ素子の切替動作を行う（左方向シフト）。さらに、第2のスイッチ部2-2は、左方向シフトおよび右方向シフトのいずれも行わず、第1のスイッチ部のスイッチ素子と、選択線R2、R7および第2の冗長選択線JR0とが接続されるように、スイッチ素子を動作させる（シフトなし）。この場合、3個の欠陥に対応する欠陥選択線R1、R3およびR6は、どのデコード信号線にも接続されず、常に非選択状態となる。さらに、通常選択用の選択線R7から離れた側に位置する第2の冗長選択線JR1も、デコード信号線に接続されていない状態になっている。

#### 【0039】

図4は、3本の選択線R1、R3およびR6に欠陥が存在し、かつ、これらの欠陥に対し3ビットのシフト冗長を行う場合の第2例を説明するためのものである。図4において、第1のスイッチ部4-1は、左側の2本のデコード信号線が、通常選択用の選択線R0に近い側に位置する第1の冗長選択線JL0の方向にシフトするように、対応する2本のスイッチ素子の切替動作を行う（左方向シフト）。さらに、第1のスイッチ部2-1は、右側の5本のデコード信号線が、通常選択用の選択線R7に近い側に位置する第2の冗長選択線JR0の方向にシフトするように、対応する5本のスイッチ素子の切替動作を行う（右方向シフト）。さらに、第1のスイッチ部2-1および第2のスイッチ部2-2は、左方向シフトおよび右方向シフトのいずれも行わず、デコード信号線と選択線R2とが接続されるように、スイッチ素子を動作させる（シフトなし）。

#### 【0040】

さらに、図4において、第2のスイッチ部2-2は、右側の3本のデコード信号線が、通常選択用の選択線R7から離れた側に位置する第2の冗長選択線JR

1 の方向にさらにシフトするように、対応する 3 本のスイッチ素子の切替動作を行う（右方向シフト）。さらに、第 2 のスイッチ部 2 - 2 は、左方向シフトおよび右方向シフトのいずれも行うことなく、第 1 のスイッチ部 2 - 1 のスイッチ素子と、選択線 R 0、R 4、R 5 および第 1 の冗長選択線 J L 0 とが接続されるように、スイッチ素子を動作させる（シフトなし）。この場合、3 個の欠陥に対応する欠陥選択線 R 1、R 3 および R 6 は、どのデコード信号線にも接続されず、常に非選択状態となる。さらに、通常選択用の選択線 R 0 から離れた側に位置する第 2 の冗長選択線 J L 1 も、デコード信号線に接続されていない状態になっている。

#### 【0 0 4 1】

換言すれば、図 3 および図 4 においては、通常選択用の選択線に近い側に位置する冗長選択線 J L 0、J R 0 を使用して 2 ビットのシフト冗長を行うと共に、通常選択用の選択線から離れた側に位置する冗長選択線 J L 1、J R 1 のいずれか一方を使用して 1 ビットのシフト冗長を行うことにより、最終的に 3 ビットのシフト冗長を行うことが可能になる。

#### 【0 0 4 2】

図 5 は、2 本の選択線 R 2、R 5 に欠陥が存在し、かつ、これらの欠陥に対し 2 ビットのシフト冗長を行う場合の第 1 例を説明するためのものである。図 5 において、第 1 のスイッチ部 2 - 1 は、左側の 6 本のデコード信号線が、通常選択用の選択線 R 0 に近い側に位置する第 1 の冗長選択線 J L 0 の方向にシフトするように、対応する 6 本のスイッチ素子の切替動作を行う（左方向シフト）。さらに、第 1 のスイッチ部 2 - 1 および第 2 のスイッチ部 2 - 2 は、左方向シフトおよび右方向シフトのいずれも行うことなく、デコード信号線と選択線 R 6、R 7 とが接続されるように、スイッチ素子を動作させる（シフトなし）。

#### 【0 0 4 3】

さらに、図 5 において、第 2 のスイッチ部 2 - 2 は、左側の 4 本のデコード信号線が、通常選択用の選択線 R 0 から離れた側に位置する第 1 の冗長選択線 J L 1 の方向にさらにシフトするように、対応する 4 本のスイッチ素子の切替動作を行う（左方向シフト）。さらに、第 2 のスイッチ部 2 - 2 は、左方向シフトおよ

び右方向シフトのいずれも行うことなく、第 1 のスイッチ部 2-1 のスイッチ素子と選択線 R 3、R 4 とが接続されるように、スイッチ素子を動作させる（シフトなし）。この場合、2 個の欠陥に対応する欠陥選択線 R 2、R 5 は、どのデコード信号線にも接続されず、常に非選択状態となる。さらに、通常選択用の選択線 R 7 の側に位置する冗長選択線 J R 0、J R 1 のいずれも、デコード信号線に接続されていない状態になっている。

#### 【0 0 4 4】

図 6 は、2 本の選択線 R 2、R 5 に欠陥が存在し、かつ、これらの欠陥に対し 2 ビットのシフト冗長を行う場合の第 2 例を説明するためのものである。図 5 において、第 1 のスイッチ部 2-1 は、左側の 3 本のデコード信号線が、通常選択用の選択線 R 0 に近い側に位置する第 1 の冗長選択線 J L 0 の方向にシフトするように、対応する 3 本のスイッチ素子の切替動作を行う（左方向シフト）。さらに、第 1 のスイッチ部 2-1 は、右側の 3 本のデコード信号線が、通常選択用の選択線 R 7 に近い側に位置する第 2 の冗長選択線 J R 0 の方向にシフトするように、対応する 3 本のスイッチ素子の切替動作を行う（右方向シフト）。さらに、第 1 のスイッチ部 2-1 および第 2 のスイッチ部 2-2 は、左方向シフトおよび右方向シフトのいずれも行うことなく、デコード信号線と選択線 R 3、R 4 とが接続されるように、スイッチ素子を動作させる（シフトなし）。

#### 【0 0 4 5】

さらに、図 6 において、第 2 のスイッチ部 2-2 は、左方向シフトおよび右方向シフトのいずれも行うことなく、第 1 のスイッチ部 2-1 のスイッチ素子と、選択線 R 0、R 1、R 6、R 7、内側の第 1 の冗長選択線 J L 0、および内側の第 2 の冗長選択線 J R 0 が接続されるように、スイッチ素子を動作させる（シフトなし）。この場合、2 個の欠陥に対応する欠陥選択線 R 2、R 5 は、どのデコード信号線にも接続されず、常に非選択状態となる。さらに、外側の第 1 の冗長選択線 J L 1、および外側の第 2 の冗長選択線 J R 1 は、デコード信号線に接続されていない状態になっている。

#### 【0 0 4 6】

図 7 は、2 本の選択線 R 2、R 5 に欠陥が存在し、かつ、これらの欠陥に対し

2ビットのシフト冗長を行う場合の第3例を説明するためのものである。図7において、第1のスイッチ部2-1は、右側の6本のデコード信号線が、通常選択用の選択線R7に近い側に位置する第2の冗長選択線JR0の方向にシフトするように、対応する6本のスイッチ素子の切替動作を行う（右方向シフト）。さらに、第1のスイッチ部2-1および第2のスイッチ部2-2は、左方向シフトおよび右方向シフトのいずれも行わず、デコード信号線と選択線R0、R1とが接続されるように、スイッチ素子を動作させる（シフトなし）。

## 【0047】

さらに、図7において、第2のスイッチ部2-2は、右側の4本のデコード信号線が、通常選択用の選択線R7から離れた側に位置する第2の冗長選択線JR1の方向にさらにシフトするように、対応する4本のスイッチ素子の切替動作を行う（右方向シフト）。さらに、第2のスイッチ部2-2は、左方向シフトおよび右方向シフトのいずれも行わず、第1のスイッチ部2-1のスイッチ素子と選択線R3、R4とが接続されるように、スイッチ素子を動作させる（シフトなし）。この場合、2個の欠陥に対応する欠陥選択線R1、R3およびR6は、どのデコード信号線にも接続されず、常に非選択状態となる。さらに、通常選択用の選択線R0の側に位置する冗長選択線JL0、JL1のいずれも、デコード信号線に接続されていない状態になっている。

## 【0048】

換言すれば、図6においては、内側の第1の冗長選択線JL0および第2の冗長選択線JR0を使用して2ビットのシフト冗長を行うことが可能になる。この場合、第1のスイッチ部のスイッチ素子のみが、デコード信号線を冗長選択線の方向にシフトさせるための切替動作を行うようになっている。また一方で、図5および図7においては、左端の2本の冗長選択線、または右端の2本の冗長選択線を使用して2ビットのシフト冗長を行うことが可能になる。この場合、第1のスイッチ部のスイッチ素子が、左端または右端の内側に位置する冗長選択線の方向にデコード信号線をシフトさせるための切替動作を行うと共に、第2のスイッチ部のスイッチ素子が、同じ端の外側に位置する冗長選択線の方向にデコード信号線をシフトさせるための切替動作を行うようになっている。

## 【0049】

図8は、1本の選択線R2に欠陥が存在し、かつ、これらの欠陥に対し1ビットのシフト冗長を行う場合の第1例を説明するためのものである。図5において、第1のスイッチ部2-1は、左側の3本のデコード信号線が、通常選択用の選択線R0に近い側に位置する第1の冗長選択線JL0の方向にシフトするように、対応する3本のスイッチ素子の切替動作を行う（左方向シフト）。さらに、第1のスイッチ部2-1および第2のスイッチ部2-2は、左方向シフトおよび右方向シフトのいずれも行わず、デコード信号線と選択線R3～R7とが接続されるように、スイッチ素子を動作させる（シフトなし）。

## 【0050】

さらに、図8において、第2のスイッチ部2-2は、左方向シフトおよび右方向シフトのいずれも行わず、第1のスイッチ部2-1のスイッチ素子と、選択線R0、R1および第1の冗長選択線JL0とが接続されるように、スイッチ素子を動作させる（シフトなし）。この場合、1個の欠陥に対応する欠陥選択線R2は、どのデコード信号線にも接続されず、常に非選択状態となる。さらに、通常選択用の選択線R0の側に位置する第1の冗長選択線JL1、および通常選択用の選択線R7の側に位置する第2の冗長選択線JR0、JR1のいずれも、デコード信号線に接続されていない状態になっている。

## 【0051】

図9は、1本の選択線R2に欠陥が存在し、かつ、これらの欠陥に対し1ビットのシフト冗長を行う場合の第2例を説明するためのものである。図9において、第1のスイッチ部2-1は、右側の6本のデコード信号線が、通常選択用の選択線R7に近い側に位置する第2の冗長選択線JR0の方向にシフトするように、対応する6本のスイッチ素子の切替動作を行う（右方向シフト）。さらに、第1のスイッチ部2-1および第2のスイッチ部2-2は、左方向シフトおよび右方向シフトのいずれも行わず、デコード信号線と選択線R0、R1とが接続されるように、スイッチ素子を動作させる（シフトなし）。

## 【0052】

さらに、図9において、第2のスイッチ部2-2は、左方向シフトおよび右方

向シフトのいずれも行ふことなく、第1のスイッチ部2-1のスイッチ素子と、選択線R3～R7および第2の冗長選択線JR0とが接続されるように、スイッチ素子を動作させる（シフトなし）。この場合、1個の欠陥に対応する欠陥選択線R2は、どのデコード信号線にも接続されず、常に非選択状態となる。さらに、通常選択用の選択線R0の側に位置する第1の冗長選択線JL0、JL1、および通常選択用の選択線R7の側に位置する第2の冗長選択線JR1のいずれも、デコード信号線に接続されていない状態になっている。

#### 【0053】

換言すれば、図8および図9においては、通常選択用の選択線に近い側に位置する冗長選択線JL0、JR0のいずれか一方を使用して1ビットのシフト冗長を行うことが可能になる。この場合、第1のスイッチ部のスイッチ素子のみが、デコード信号線をいずれか1本の冗長選択線の方にシフトさせるための切替動作を行うようになっている。

#### 【0054】

図11は、4本の選択線に欠陥が生じた場合にスイッチ部の動作による各部の信号レベルを示す図であり、図12は、3本の選択線に欠陥が生じた場合にスイッチ部の動作による各部の信号レベルを示す図である。ここでは、2本の第1の冗長選択線JL0、JL1、2本の第1の冗長選択線JR0、JR1、および8本の通常選択用の選択線R0～R7が設けられている半導体記憶装置において、4本または3本の選択線に欠陥が生じた場合に、第1および第2のスイッチ部が切替動作を行ったときの各部の信号レベルを示すこととする。図11は、前述の図2のようなスイッチ部の切替動作を行ったときの各部の信号レベルを示し、図12は、前述の図3のようなスイッチ部の切替動作を行ったときの各部の信号レベルを示している。

#### 【0055】

図1に示したシフト冗長ヒューズ回路部4は、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、冗長選択線に不良がないか否かを確認するための強制冗長時に使用される強制冗長用ヒューズ回路を有する。これらの通常選択用のヒューズ回路は、対応する



ヒューズを切断した場合に低電圧レベル（“L”レベル）を出力し、切断しない場合には高電圧レベル（“H”レベル）を出力する。また一方で、冗長選択用ヒューズ回路（および強制冗長用ヒューズ回路）は、それとは逆に、ヒューズ（冗長選択用ヒューズ）を切断した場合に“H”レベルを出力し、切断しない場合には“L”レベルを出力する。この場合、1ビットのシフト冗長に対し、欠陥選択線に対応するヒューズ回路のヒューズと、第1および第2の冗長選択線中のいずれか1本の冗長選択線に対応する冗長選択用ヒューズ回路のヒューズの2本が切断される。したがって、図11のように4ビットのシフト冗長を行う場合は、4本の欠陥選択線に対応する4本のヒューズと、4本の第1および第2の冗長選択線の全てに対応する冗長選択用ヒューズ回路のヒューズ（冗長選択用ヒューズ）の計8本が切断される。また一方で、図12のように3ビットのシフト冗長を行う場合は、3本の欠陥選択線に対応する3本のヒューズと、第1および第2の冗長選択線の中で内側に位置する2本のヒューズと、外側に位置する1本のヒューズの計6本が切断される。

#### 【0056】

さらに、第1のシフト冗長制御回路部3-1内の複数のシフト制御回路は、図16にて後述するように、一方の第1の入力信号 $u_{in0}$ と一方の第1の出力信号 $u_{out0}$ を接続すると共に、他方の第1の入力信号 $l_{in0}$ と他方の第1の出力信号 $l_{out0}$ を接続することによって、後述の図19に示すように、直列接続された回路を2段構えにした構成になっている。また一方で、第2のシフト冗長制御回路部3-2内の複数のシフト制御回路もまた、図16にて後述するように、一方の第2の入力信号 $u_{in1}$ と一方の第2の出力信号 $u_{out1}$ 、および、他方の第2の入力信号 $l_{in1}$ と他方の第2の出力信号 $l_{out1}$ を接続することによって、後述の図19に示すように、直列接続された回路を2段構えにした構成になっている。

#### 【0057】

第1のスイッチ部2-1内の各々のスイッチ素子の切替動作は、第1のシフト冗長制御回路部3-1から出力される第1の出力信号 $u_{out0}$ と第1の出力信号 $l_{out0}$ の“H”レベルおよび“L”レベルの組み合わせにより制御される

。ヒューズを切断しない場合、第1の出力信号  $uout0$  および第1の出力信号  $lout0$  の出力レベルは全て“L”レベルになる。さらに、このとき、シフト冗長ヒューズ回路部4において、冗長選択線以外の選択線に対応するヒューズ回路の出力は“H”レベルになり、冗長選択線に対応する冗長選択用ヒューズ回路の出力は“L”レベルになる。この場合は、シフト冗長動作はないと判断する。

## 【0058】

また一方で、第2のスイッチ部2-2内の各々のスイッチ素子の切替動作は、第2のシフト冗長制御回路部3-2から出力される第2の出力信号  $uout1$  と第2の出力信号  $lout1$  の“H”レベルおよび“L”レベルの組み合わせにより制御される。ヒューズを切断しない場合、第2の出力信号  $uout1$  および第2の出力信号  $lout1$  の出力レベルは全て“L”レベルになる。

## 【0059】

ここで、図11に示すように、4本の欠陥選択線  $R1$ 、 $R3$ 、 $R5$  および  $R7$  にそれぞれ対応するヒューズを切断すると共に、4本の第1および第2の冗長選択線  $JL0$ 、 $JL1$ 、 $JR0$  および  $JR1$  にそれぞれ対応する冗長選択用ヒューズ回路の4本のヒューズ（冗長選択用ヒューズ）を切断した場合について考察する。このときに、切断した4本の欠陥選択線  $R1$ 、 $R3$ 、 $R5$  および  $R7$  にそれぞれ対応するヒューズ回路の出力は“L”レベルになり、切断した4本の冗長選択線  $JL0$ 、 $JL1$ 、 $JR0$  および  $JR1$  にそれぞれ対応する冗長選択用ヒューズ回路の出力は“H”レベルになる。

## 【0060】

この場合、第1のシフト冗長制御回路部3-1は、左側の4本のデコード信号線が、通常選択用の選択線  $R0$  に近い側に位置する第1の冗長選択線  $JL0$  の方向にシフトするように、第1のスイッチ部2-1の切替動作を制御する（左方向シフト←）。さらに、第1のシフト冗長制御回路部3-1は、右側の3本のデコード信号線が、通常選択用の選択線  $R7$  に近い側に位置する第2の冗長選択線  $JR0$  の方向にシフトするように、第1のスイッチ部2-1の切替動作を制御する（右方向シフト→）。さらに、第1のシフト冗長制御回路部3-1および第2のシフト冗長制御回路部3-2は、左方向シフトおよび右方向シフトのいずれも行

うことなく、デコード信号線と選択線 R 4 とが接続されるように、第 1 のスイッチ部 2-1 および第 2 のスイッチ部 2-2 の動作を制御する（シフトなし↑）。さらに、第 1 のシフト冗長制御回路部 3-1 および第 2 のシフト冗長制御回路部 3-2 は、欠陥選択線 R 3、R 5 がデコード信号線に接続されない非選択状態になるように（図 11 の第 1 および第 2 のシフト冗長制御回路部 3-1、3-2 の欄の“X”（ただし、欠陥選択線 R 3、R 5 に関係する部分）に対応する）、第 1 のスイッチ部 2-1 および第 2 のスイッチ部 2-2 の動作を制御する。

#### 【0061】

さらに、図 11 に示すように、第 2 のシフト冗長制御回路部 3-2 は、左側の 3 本のデコード信号線が、通常選択用の選択線 R 0 から離れた側に位置する第 1 の冗長選択線 J L 1 の方向にさらにシフトするように、第 2 のスイッチ部 2-2 の切替動作を制御する（左方向シフト←）。さらに、第 2 のシフト冗長制御回路部 3-2 は、右側の 2 本のデコード信号線が、通常選択用の選択線 R 7 から離れた側に位置する第 2 の冗長選択線 J R 1 の方向にさらにシフトするように、第 2 のスイッチ部 2-2 の切替動作を制御する（右方向シフト→）。さらに、第 2 のシフト冗長制御回路部 3-2 は、左方向シフトおよび右方向シフトのいずれも行いうことなく、デコード信号線と選択線 R 2、R 6 とが接続されるように、第 2 のスイッチ部 2-2 の切替動作を制御する（シフトなし↑）。さらに、第 2 のシフト冗長制御回路部 3-2 は、2 本の欠陥選択線 R 1、R 7 がデコード信号線に接続されない非選択状態になるように（図 11 の第 2 のシフト冗長制御回路部 3-2 の欄の“X”（ただし、欠陥選択線 R 1、R 7 に関係する部分）に対応する）、第 2 のスイッチ部 2-2 の動作を制御する。このようにして、4 本の欠陥選択線 R 1、R 3、R 5 および R 7 を、どのデコード信号線にも接続されない非選択状態にすることにより、これらの欠陥選択線を救済することが可能になる。

#### 【0062】

このとき、第 1 のシフト冗長制御回路部 3-1 において、左方向シフトが行われる通常選択用のヒューズおよび冗長選択用ヒューズからの信号が入力される位置の第 1 の出力信号 u o u t 0 のみ“H”レベルになっており、それ以外の位置の第 1 の出力信号 u o u t 0 は全て“L”レベルになるため、一方の第 1 の出力

信号  $u_{out 0} = "H"$  で他方の第 1 の出力信号  $l_{out 0} = "L"$  の状態を左方向シフトと判定すればよい。また一方で、第 2 のシフト冗長制御回路部 3-2 において、左方向シフトが行われる通常選択用のヒューズおよび冗長選択用ヒューズからの信号が入力される位置の第 2 の出力信号  $u_{out 1}$  のみ  $"H"$  レベルになっており、それ以外の位置の第 2 の出力信号は全て  $"L"$  レベルになるため、一方の第 2 の出力信号  $u_{out 1} = "H"$  で他方の第 2 の出力信号  $l_{out 1} = "L"$  の状態を左方向シフトと判定すればよい。

## 【0063】

さらに、第 1 のシフト冗長制御回路部 3-1 において、右方向シフトが行われる通常選択用のヒューズおよび冗長選択用ヒューズからの信号が入力される位置の第 1 の出力信号  $l_{out 0}$  のみ  $"H"$  レベルになっており、それ以外の位置の第 1 の出力信号  $l_{out 0}$  は全て  $"L"$  レベルになるため、一方の第 1 の出力信号  $u_{out 0} = "L"$  で他方の第 1 の出力信号  $l_{out 0} = "H"$  の状態を右方向シフトと判定すればよい。また一方で、第 2 のシフト冗長制御回路部 3-2 において、右方向シフトが行われる通常選択用のヒューズおよび冗長選択用ヒューズからの信号が入力される位置の第 2 の出力信号  $l_{out 1}$  のみ  $"H"$  レベルになっており、それ以外の位置の第 2 の出力信号  $l_{out 1}$  は全て  $"L"$  レベルになるため、一方の第 2 の出力信号  $u_{out 1} = "L"$  で他方の第 2 の出力信号  $l_{out 1} = "H"$  の状態を右方向シフトと判定すればよい。

## 【0064】

また一方で、図 12 に示すように、3 本の欠陥選択線  $R1$ 、 $R3$  および  $R6$  にそれぞれ対応するヒューズを切断すると共に、2 本の第 1 の冗長選択線  $JL0$ 、 $JL1$ 、および 1 本の第 2 の冗長選択線  $JR0$ （すなわち、3 本の冗長選択線）にそれぞれ対応する冗長選択用ヒューズ回路の 3 本のヒューズ（冗長選択用ヒューズ）を切断した場合について考察する。このときに、切断した 3 本の欠陥選択線  $R1$ 、 $R3$  および  $R6$  にそれぞれ対応するヒューズ回路の出力は  $"L"$  レベルになり、切断した 3 本の冗長選択線  $JL0$ 、 $JL1$  および  $JR0$  にそれぞれ対応する冗長選択用ヒューズ回路の出力は  $"H"$  レベルになる。

## 【0065】

この場合、第1のシフト冗長制御回路部3-1は、左側の4本のデコード信号線が、通常選択用の選択線R0に近い側に位置する第1の冗長選択線JL0の方向にシフトするように、第1のスイッチ部2-1の切替動作を制御する（左方向シフト←）。さらに、第1のシフト冗長制御回路部3-1は、右側の2本のデコード信号線が、通常選択用の選択線R7に近い側に位置する第2の冗長選択線JR0の方向にシフトするように、第1のスイッチ部2-1の切替動作を制御する（右方向シフト→）。さらに、第1のシフト冗長制御回路部3-1および第2のシフト冗長制御回路部3-2は、左方向シフトおよび右方向シフトのいずれも行いうことなく、デコード信号線と選択線R4、R5とが接続されるように、第1のスイッチ部2-1および第2のスイッチ部2-2の動作を制御する（シフトなし）。さらに、第1のシフト冗長制御回路部3-1および第2のシフト冗長制御回路部3-2は、欠陥選択線R3、R6がデコード信号線に接続されない非選択状態になるように（図12の第1および第2のシフト冗長制御回路部3-1、3-2の欄の“X”（ただし、欠陥選択線R3、R6に関係する部分）に対応する）、第1のスイッチ部2-1および第2のスイッチ部2-2の動作を制御する。

#### 【0066】

さらに、図12に示すように、第2のシフト冗長制御回路部3-2は、左側の3本のデコード信号線が、通常選択用の選択線R0から離れた側に位置する第1の冗長選択線JL1の方向にさらにシフトするように、第2のスイッチ部2-2の切替動作を制御する（左方向シフト←）。さらに、第2のシフト冗長制御回路部3-2は、左方向シフトおよび右方向シフトのいずれも行いうことなく、デコード信号線と、選択線R2、R7および第2の冗長選択線JR0とが接続されるように、スイッチ素子を動作させる（シフトなし）。さらに、第2のシフト冗長制御回路部3-2は、1本の欠陥選択線R1がデコード信号線に接続されない非選択状態になるように（図12の第2のシフト冗長制御回路部3-2の欄の“X”（ただし、欠陥選択線R1に関係する部分）に対応する）、第2のスイッチ部2-2の動作を制御する。このようにして、3本の欠陥選択線R1、R3およびR6を、どのデコード信号線にも接続されない非選択状態にすることにより、これらの欠陥選択線を救済することが可能になる。

## 【0067】

このとき、第1のシフト冗長制御回路部3-1においては、図11の場合と同じように、左方向シフトが行われる通常選択用のヒューズおよび冗長選択用ヒューズからの信号が入力される位置の第1の出力信号 $uout0$ のみ“H”レベルになっており、それ以外の位置の第1の出力信号 $uout0$ は全て“L”レベルになるため、一方の第1の出力信号 $uout0$  = “H”で他方の第1の出力信号 $lout0$  = “L”の状態を左方向シフトと判定すればよい。また一方で、第2のシフト冗長制御回路部3-2においても、図11の場合と同じように、左方向シフトが行われる通常選択用のヒューズおよび冗長選択用ヒューズからの信号が入力される位置の第2の出力信号 $uout1$ のみ“H”レベルになっており、それ以外の位置の第2の出力信号は全て“L”レベルになるため、一方の第2の出力信号 $uout1$  = “H”で他方の第2の出力信号 $lout1$  = “L”の状態を左方向シフトと判定すればよい。

## 【0068】

ついで、本発明の1ビット～4ビットのシフト冗長機能を有する半導体記憶装置の一実施例の主要部の構成を順次説明する。

図13は、本発明の一実施例における通常選択用のヒューズ回路の構成を示す回路図である。図13の通常選択用のヒューズ回路（ただし、強制冗長時に冗長される選択線用のヒューズ回路は除く）60は、図1に示したような選択線 $R0 \sim R3$ 、 $R6 \sim R(n-7)$ 、および $R(n-4) \sim R(n-1)$ と一対一に対応して設けられるシフト冗長ヒューズ回路部4内の複数のヒューズ回路の一つを示すものである。

## 【0069】

図13において、 $sttx$ は、例えば、電源投入時、電源が立ち上がるまでは“H”レベルであり、電源が立ち上がった後は“L”レベルになる制御信号で、 $cfs$ はヒューズ回路60の出力信号である。図13に示すヒューズ回路60は、制御信号 $sttx$ が入力されるPチャネル型トランジスタ41およびNチャネル型トランジスタ42と、Nチャネル型トランジスタ44と、2つのインバータ43、45とを備えている。ヒューズ40が切断されていない場合、電源が立ち

上がった後は、ヒューズ回路の出力信号  $cfs$  は “H” レベルになる。ヒューズ 40 が切断されている場合、ヒューズ回路の出力信号  $cfs$  は “L” レベルになる。

#### 【0070】

図 14 は、本発明の一実施例における冗長選択用ヒューズ回路の構成を示す回路図である。図 14 の冗長選択用ヒューズ回路 60j は、図 1 のシフト冗長ヒューズ回路部 4 内の第 1 および第 2 の冗長選択線 JL0、JL1、JR0 および JR1 に使用される冗長選択用ヒューズ回路の各々に対応するものである。

図 14 において、 $ftpz$  は、冗長選択線に不良がないか否かを確認するための強制冗長を行う際に “H” レベルになる制御信号である。図 14 に示す冗長選択用ヒューズ回路 60j は、制御信号  $sttx$  が入力される P チャンネル型トランジスタ 41r および N チャンネル型トランジスタ 43r と、制御信号  $ftpz$  が入力される P チャンネル型トランジスタ 42r および N チャンネル型トランジスタ 44r と、N チャンネル型トランジスタ 45r と、インバータ 46r とを備えている。ヒューズ（冗長選択用ヒューズ）40r が切断されておらず、かつ、強制冗長を行わない場合（制御信号  $ftpz$  = “L”）場合、冗長選択用ヒューズ回路の出力信号  $cfsj$  は “L” レベルになる。また一方で、ヒューズ 40r を実際に切断した場合、冗長選択用ヒューズ回路の出力信号  $cfsj$  は “H” レベルになる。

#### 【0071】

さらに、図 14 において、ヒューズ 40r が切断されておらず、かつ、強制冗長を行った場合（制御信号  $ftpz$  = “H”）、P チャンネル型トランジスタ 42r がオフ状態になり、N チャンネル型トランジスタ 44r がオン状態になってノード  $n03$  が “L” レベルになる。この結果、冗長選択用ヒューズ回路の出力信号  $cfsj$  は “H” レベルになる。この場合は、ヒューズ 40r が見かけ上切断された状態になり、後述の図 15 の強制冗長選択用ヒューズ回路と共に強制冗長を行うことによって、冗長選択線に不良がないか否かを確認することができる。

#### 【0072】

図 13 の通常選択用のヒューズ回路、および図 14 の冗長選択用ヒューズ回路

のいずれにおいても、冗長の対象とする選択線に対応するヒューズ回路のヒューズと、冗長選択線に対応する冗長選択用ヒューズ回路のヒューズとを切断している。

図 1 5 は、本発明の一実施例における強制冗長選択用ヒューズ回路の構成を示す回路図である。図 1 4 に示す強制冗長選択用ヒューズ回路 6 0 p j は、図 1 のシフト冗長ヒューズ回路部 4 内の 4 本の強制冗長選択線（例えば、選択線 R 4、R 5、R (n - 6) および R (n - 5) のように、冗長選択線と隣接しておらず、かつ、冗長選択線に近い位置にある選択線）に使用される強制冗長用ヒューズ回路の各々に対応するものである。

#### 【 0 0 7 3 】

図 1 5 において、f t p z は、前述したように、強制冗長を行う際に“H”レベルになる制御信号である。図 1 5 に示す強制冗長用ヒューズ回路 6 0 p j は、制御信号 s t t x が入力される P チャンネル型トランジスタ 4 1 f および N チャンネル型トランジスタ 4 3 f と、制御信号 f t p z が入力される P チャンネル型トランジスタ 4 2 f および N チャンネル型トランジスタ 4 4 f と、N チャンネル型トランジスタ 4 5 f と、2 つのインバータ 4 6 f、4 7 f とを備えている。強制冗長時のヒューズ 4 0 f を切断したように見せかけた場合、強制冗長ヒューズ回路の出力信号 c f s は“L”レベルになる。この状態で、シフト冗長の対象とする選択線に対応するヒューズを切断する前に、冗長選択線に不良がないか否かを確認することが可能である。

#### 【 0 0 7 4 】

さらに詳しく説明すると、強制冗長を行う場合には、P チャンネル型トランジスタ 4 2 f および N チャンネル型トランジスタ 4 4 f の各々のゲートに対し、“H”レベルの制御信号 f t p z を入力する。このようにすれば、P チャンネル型トランジスタ 4 2 f がオフ状態になり、N チャンネル型トランジスタ 4 4 f がオン状態になってインバータ 4 6 f の入力レベルが“L”レベルになる。この結果、インバータ 4 7 f の出力レベルが“L”レベルになり、“L”レベルの出力信号 c f s が生成されることになる。

#### 【 0 0 7 5 】



また一方で、強制冗長を行わない場合には（制御信号  $f t p z = "L"$ ）、Pチャネル型トランジスタ 4 2 f がオン状態になり、Nチャネル型トランジスタ 4 4 f がオフ状態になってインバータ 4 6 f の入力レベルが“H”レベルになる。この結果、インバータ 4 7 f の出力レベルが“H”レベルになり、“H”レベルの出力信号  $c f s$  が生成されることになる。さらに、ヒューズ 4 0 f を実際に切断した場合、Nチャネル型トランジスタ 4 5 f がオフ状態になってインバータ 4 6 f の入力レベルが“L”レベルになる。この結果、インバータ 4 7 f の出力レベルが“L”レベルになり、“L”レベルの出力信号  $c f s$  が生成されることになる。

## 【0076】

図 1 6 は、本発明の一実施例における第 1 および第 2 のシフト制御回路の構成を示す回路図である。ここでは、第 1 のスイッチ部 2 - 1（図 1 参照）の切替動作を制御する第 1 のシフト冗長制御回路部 3 - 1（図 1 参照）を構成する複数の第 1 のシフト制御回路の各々を示すと共に、第 2 のスイッチ部 2 - 2（図 1 参照）の切替動作を制御する第 2 のシフト冗長制御回路部 3 - 2（図 1 参照）を構成する複数の第 2 のシフト制御回路の各々を示す。

## 【0077】

図 1 6 において、 $u o u t 0$  は第 1 のシフト冗長制御回路部 3 - 1 の各々の第 1 のシフト制御回路における一方の出力信号を示し、 $l o u t 0$  は上記第 1 のシフト制御回路における他方の出力信号を示す。さらに、 $u o u t 1$  は第 2 のシフト冗長制御回路部 3 - 2 の各々の第 2 のシフト制御回路における一方の出力信号を示し、 $l o u t 1$  は上記第 2 のシフト制御回路における他方の出力信号を示す。 $c f s$  は前述の図 1 3 および図 1 4 のヒューズ回路 6 0（および冗長選択用ヒューズ回路 6 0 j）の出力信号を示す。

## 【0078】

さらに、図 1 6 において、各々の第 1 のシフト制御回路 3 0 - 1 は、上記のヒューズ回路の出力信号  $c f s$  を受けて第 1 のスイッチ部 2 - 1 の各々のスイッチ素子を制御する回路であり、左シフト用の第 1 のシフト制御回路 3 0 - 1 - l と右シフト用の第 1 のシフト制御回路 3 0 - 1 - r を含む。左シフト用の第 1 のシ

フト制御回路 30-1-1 は、2つの NAND ゲート 31-1、32-1 が図 16 のように接続された回路により構成されている。さらに、右シフト用の第 1 のシフト制御回路 30-1-r もまた、2つの NAND ゲート 33-1、34-1 が図 16 のように接続された回路により構成されている。

#### 【0079】

ここでは、第 1 のシフト冗長制御回路部 3-1 内の複数のシフト制御回路は、左シフト用の第 1 のシフト制御回路 30-1-1 における一方の第 1 の入力信号  $u_{in0}$  と一方の第 1 の出力信号  $u_{out0}$  を接続すると共に、右シフト用の第 1 のシフト制御回路 30-1-r における他方の第 1 の入力信号  $l_{in0}$  と他方の第 1 の出力信号  $l_{out0}$  を接続することによって、直列接続された回路を 2 段構えにした構成になっている。上記の第 1 のシフト冗長制御回路部 3-1 の中で、一方の端に位置する左シフト用の第 1 のシフト制御回路の入力信号  $u_{in0}$ 、および、他方の端に位置する右シフト用の第 1 のシフト制御回路の入力信号  $l_{in0}$  は、それぞれ高電圧側の電源（電源電圧  $V_{ii}$ ）に接続されており、“H” レベルの電圧が入力される。

#### 【0080】

さらに、図 16 において、各々の第 2 のシフト制御回路 30-2 は、前述の通常選択用のヒューズ回路 60（および冗長選択用ヒューズ回路 60j）の出力信号  $cfs$  を受けて第 2 のスイッチ部 2-2 の各々のスイッチ素子を制御する回路であり、左シフト用の第 2 のシフト制御回路 30-2-1 と右シフト用の第 2 のシフト制御回路 30-2-r を含む。左シフト用の第 2 のシフト制御回路 30-2-1 は、NAND ゲート 31-2 およびインバータ 32-2 が図 16 のように接続された回路により構成されている。さらに、右シフト用の第 2 のシフト制御回路 30-2-r もまた、NAND ゲート 33-2 およびインバータ 34-2 が図 16 のように接続された回路により構成されている。

#### 【0081】

ここでは、第 2 のシフト冗長制御回路部 3-2 内の複数のシフト制御回路は、左シフト用の第 2 のシフト制御回路 30-2-1 における一方の第 2 の入力信号  $u_{in1}$  と一方の第 2 の出力信号  $u_{out1}$  を接続すると共に、右シフト用の第

2のシフト制御回路30-2-rにおける他方の第2の入力信号1in1と他方の第2の出力信号1out1を接続することによって、直列接続された回路を2段構えにした構成になっている。上記の第2のシフト冗長制御回路部3-2の中で、一方の端に位置する左シフト用の第2のシフト制御回路の入力信号uin1、および、他方の端に位置する右シフト用の第2のシフト制御回路の入力信号1in1は、それぞれ高電圧側の電源（電源電圧Vii）に接続されており、“H”レベルの電圧が入力される。

#### 【0082】

第1のスイッチ部2-1内の各々のスイッチ素子の切替動作は、第1のシフト冗長制御回路部3-1から出力される第1の出力信号uout0と第1の出力信号1out0の“H”レベルおよび“L”レベルの組み合わせにより制御される。さらに、第2のスイッチ部2-2内の各々のスイッチ素子の切替動作は、第2のシフト冗長制御回路部3-2から出力される第2の出力信号uout1と第2の出力信号1out1の“H”レベルおよび“L”レベルの組み合わせにより制御される。

#### 【0083】

さらに、図16において、左シフト用の第2のシフト制御回路30-2-1のNANDゲート31-2の出力端子が、左シフト用の第1のシフト制御回路30-1-1のNANDゲート32-1の一方の入力端子に接続されている。同様に、右シフト用の第2のシフト制御回路30-2-rのNANDゲート33-2の出力端子が、右シフト用の第1のシフト制御回路30-1-rのNANDゲート34-1の一方の入力端子に接続されている。このような回路構成においては、第2のシフト制御回路による第2のスイッチ部2-2のスイッチ素子の右方向シフト動作または右方向シフト動作を行う場合は、第1のシフト制御回路による第1のスイッチ部2-1のスイッチ素子の同方向のシフト動作を必ず行うようになっているので、第1および第2のスイッチ部2-1、2-2によるシフト冗長用の切替動作を誤りなく実行することが可能になる。

#### 【0084】

図17は、本発明の一実施例における第1のスイッチ部の構成を示す回路図で

あり、図 18 は、本発明の一実施例における第 2 のスイッチ部の構成を示す回路図である。ここでは、第 1 のスイッチ部 2-1 および第 2 のスイッチ部 2-2 における複数のスイッチ素子の各々の回路構成を示す。この場合、第 1 および第 2 のスイッチ部 2-1、2-2 の複数のスイッチ素子は、既述したように、2 段かつ直列に接続されている。上記の第 1 および第 2 のスイッチ部 2-1、2-2 は、各々のスイッチ素子に対応する回路要素を含むものであり、選択線の負荷が大きくなった場合に当該選択線を駆動して所定の出力電圧を供給する機能も有する。

## 【0085】

図 17 に示すように、1 段目の第 1 のスイッチ部 2-1 における各々のスイッチ素子には、第 1 のシフト冗長制御回路部 3-1 の各々の第 1 のシフト制御回路における第 1 の出力信号  $uout0$  が入力され、かつ、上記第 1 のシフト制御回路における第 1 の出力信号  $lout0$  が入力される。 $cfs$  は、前述のヒューズ回路 60（図 13 参照）の出力信号を表し、 $pcll0$ 、 $pclm0$  および  $pclr0$  は、それぞれ、複数のデコード信号線の中で隣接する 3 つのデコード信号線  $d(\#-1)$ 、 $d\#$ 、および  $d(\#+1)$  からのデコード信号に相当する。ここで、 $\#$  は、所定のデコード信号線の番号を表す。 $pcll$  は第 1 のスイッチ部 2-1 の任意のスイッチ素子の出力信号であり、2 段目の第 2 のスイッチ部 2-2 のいずれか一つのスイッチ素子に供給される。

## 【0086】

好ましくは、図 17 に示す第 1 のスイッチ部 2-1 の各々のスイッチ素子は、第 1 のシフト冗長制御回路部 3-1 の各々の第 1 のシフト制御回路における第 1 の出力信号  $uout0$ 、 $lout0$  の組み合わせに応じて、第 1 の冗長選択線  $JL0$  の方向へのシフト動作（すなわち、左方向シフト）を行うモード、上記第 2 の冗長選択線  $JR0$  の方向へのシフト動作（すなわち、右方向シフト）を行うモード、またはシフト動作を行わないモード（すなわち、シフトなし）を選択することが可能である。

## 【0087】

さらに、図 17 に示す第 1 のスイッチ部 2-1 の各々のスイッチ素子は、ヒュ

ーズ回路の出力信号  $cfs$  をインバータ 20-1 により反転した信号、第 1 のシフト制御回路の一方の出力信号  $uout1$ 、および第 1 のシフト制御回路の他方の出力信号  $lout1$  を 3 つの入力信号とする NOR ゲート（否定論理和ゲート）21-1 と、3 つのインバータ 22-1、24-1 および 26-1 と、3 つのトランスファゲート 23-1、25-1 および 27-1 からなる 3 方向性のスイッチ素子とを備えている。

#### 【0088】

さらに詳しく説明すると、第 1 のシフト制御回路の出力信号  $uout0$  および  $lout0$  が共に “L” レベルで、ヒューズ回路の出力信号  $cfs$  が “H” レベルである場合、シフト冗長動作を行わないモードが選択されて第 2 番目のトランスファゲート 25-1 がオン状態になる。第 1 のシフト制御回路の出力信号  $uout0$  および  $lout0$  がそれぞれ “H” レベルおよび “L” レベルで、ヒューズ回路の出力信号  $cfs$  が “H” レベルである場合、一方の方向へのシフト冗長動作を行うモードが選択されて第 1 番目のトランスファゲート 23-1 がオン状態になる。第 1 のシフト制御回路の出力信号  $uout0$  および  $lout0$  がそれぞれ “L” レベルおよび “H” レベルで、ヒューズ回路の出力信号  $cfs$  が “H” レベルである場合、他方の方向へのシフト冗長動作を行うモードが選択されて第 3 番目のトランスファゲート 27-1 がオン状態になる。

#### 【0089】

また一方で、図 18 に示すように、2 段目の第 2 のスイッチ部 2-2 における各々のスイッチ素子には、第 2 のシフト冗長制御回路部 3-2 の各々の第 2 のシフト制御回路における第 2 の出力信号  $uout1$  が入力され、かつ、上記第 2 のシフト制御回路における第 2 の出力信号  $lout1$  が入力される。 $cfs$  は、前述のヒューズ回路 60（図 13 参照）の出力信号を表し、 $pcl11$ 、 $pclm1$  および  $pclr1$  は、それぞれ、第 1 のスイッチ部 2-1 の複数のスイッチ素子の中で隣接する 3 つのスイッチ素子からの出力信号（図 17 の  $pcl1$ ）に相当する。 $cs1$  は第 2 のスイッチ部 2-2 の任意のスイッチ素子の出力信号であり、任意の 1 本の選択線に供給される。

#### 【0090】

好ましくは、図 18 に示す第 2 のスイッチ部 2-2 の各々のスイッチ素子は、第 2 のシフト冗長制御回路部 3-2 の各々の第 2 のシフト制御回路における第 2 の出力信号  $u_{out1}$ 、 $l_{out1}$  の組み合わせに応じて、第 2 の冗長選択線  $JL1$  の方向へのシフト動作（すなわち、左方向シフト）を行うモード、上記第 2 の冗長選択線  $JL0$  の方向へのシフト動作（すなわち、右方向シフト）を行うモード、またはシフト動作を行わないモード（すなわち、シフトなし）を選択することが可能である。

#### 【0091】

さらに、図 18 に示す第 2 のスイッチ部 2-2 の各々のスイッチ素子は、ヒューズ回路の出力信号  $cfs$  をインバータ 20-2 により反転した信号、第 2 のシフト制御回路の一方の出力信号  $u_{out1}$ 、および第 2 のシフト制御回路の他方の出力信号  $l_{out1}$  を 3 つの入力信号とする NOR ゲート（否定論理和ゲート）21-2 と、3 つのインバータ 22-2、24-2 および 26-2 と、3 つのトランスファゲート 23-2、25-2 および 27-2 からなる 3 方向性のスイッチ素子とを備えている。

#### 【0092】

さらに詳しく説明すると、第 2 のシフト制御回路の出力信号  $u_{out1}$  および  $l_{out1}$  が共に “L” レベルで、ヒューズ回路の出力信号  $cfs$  が “H” レベルである場合、シフト冗長動作を行わないモードが選択されて第 2 番目のトランスファゲート 25-2 がオン状態になる。第 2 のシフト制御回路の出力信号  $u_{out1}$  および  $l_{out1}$  がそれぞれ “H” レベルおよび “L” レベルで、ヒューズ回路の出力信号  $cfs$  が “H” レベルである場合、一方の方向へのシフト冗長動作を行うモードが選択されて第 1 番目のトランスファゲート 23-2 がオン状態になる。第 2 のシフト制御回路の出力信号  $u_{out1}$  および  $l_{out1}$  がそれぞれ “L” レベルおよび “H” レベルで、ヒューズ回路の出力信号  $cfs$  が “H” レベルである場合、他方の方向へのシフト冗長動作を行うモードが選択されて第 3 番目のトランスファゲート 27-2 がオン状態になる。

#### 【0093】

さらに、第 2 のシフト制御回路の出力信号  $u_{out1}$  および  $l_{out1}$  が共に

“L”レベルで、ヒューズ回路の出力信号  $cfs$  が “L” レベルである場合、3個のトランスファゲート 23-1、25-1 および 27-1 のいずれもオフ状態になる。このときに、Pチャネル型トランジスタ 28-2 がオン状態になって “H” レベルの電圧がインバータ 29-2 に入力される。このインバータ 29-2 は出力ドライバとして機能し、同出力ドライバの出力電圧は “L” レベルになる。すなわち、この出力ドライバ 29-2 に接続された選択線が欠陥選択線である場合、この欠陥選択線を常に非選択状態にすることができる。

#### 【0094】

図19および図20は、それぞれ、本発明の一実施例に係る全体的な回路構成を示すブロック図のその1およびその2を示すものである。ここでは、前述の図13の通常選択用のヒューズ回路や、図14の冗長選択用ヒューズ回路や、図16の第1および第2のシフト制御回路や、図17および図18の第1および第2のスイッチ部等からなる複数の子回路を互いに結線することによって、64本の選択線  $R0 \sim R63$ 、および4本の第1および第2の冗長選択線  $JL0$ 、 $JL0$ 、 $JR0$  および  $JR1$  を配置してなる半導体記憶装置（親回路）を形成した場合を例示している。

#### 【0095】

図19は、このような親回路の左端部を示し、図20は上記親回路の右端部を示している。図19および図20においては、複数の通常選択用のヒューズ回路（例えば、1番目のヒューズ回路 60-0～64番目のヒューズ回路 60-63）が、複数の第1のシフト制御回路にそれぞれ接続されている。これらの第1のシフト制御回路は、1番目の左シフト用の第1のシフト制御回路 30-1-10～64番目の左シフト用の第1のシフト制御回路 30-1-163と、1番目の右シフト用の第2のシフト制御回路 30-1-r0～64番目の右シフト用の第1のシフト制御回路 30-1-r63とを有する。

#### 【0096】

さらに、これらの第1のシフト制御回路からの出力信号（ $uout0$  および  $lout0$ ）は、第1のスイッチ部 2-1 の複数のスイッチ素子の切替動作を制御するために使用される。さらに、図1に示したデコーダ回路のデコード信号線は

、第1のスイッチ部2-1の複数のスイッチ素子に接続されており、上記デコード回路から出力されるデコード信号  $S_{dec}$  は、第1のスイッチ部2-1の複数のスイッチ素子に供給される。なお、前述したように、第1のスイッチ部2-1の複数のスイッチ素子の各々は、これらのスイッチ素子に対応する回路要素を含むものである。

【0097】

さらに、図19および図20においては、複数の通常選択用のヒューズ回路が、複数の第2のシフト制御回路にもそれぞれ接続されている。これらの第2のシフト制御回路は、1番目の左シフト用の第2のシフト制御回路  $30-2-10 \sim 64$  番目の左シフト用の第2のシフト制御回路  $30-2-163$  と、1番目の右シフト用の第2のシフト制御回路  $30-2-r0 \sim 64$  番目の右シフト用の第1のシフト制御回路  $30-2-r63$  とを有する。

【0098】

さらに、これらの第2のシフト制御回路からの出力信号 ( $u_{out1}$  および  $l_{out1}$ ) は、第2のスイッチ部2-2の複数のスイッチ素子の切替動作を制御するために使用される。さらに、図1に示した第1のスイッチ部2-1の複数のスイッチ素子は、第2のスイッチ部2-2の複数のスイッチ素子に接続されており、上記デコード回路から出力されるデコード信号  $S_{dec}$  は、第1のスイッチ部2-1の複数のスイッチ素子を介して、第2のスイッチ部2-2の複数のスイッチ素子に供給される。なお、ここでも、第2のスイッチ部2-2の複数のスイッチ素子の各々は、これらのスイッチ素子に対応する回路要素を含むものである。

【0099】

さらに、図19および図20においては、左端の選択線  $R0$  に近い側に位置する冗長選択用ヒューズ回路  $60j-10$  が、左シフト用の第1の冗長選択用のシフト制御回路  $30-1-j110$  に接続されている。また一方で、右端の選択線  $R63$  に近い側に位置する冗長選択用ヒューズ回路  $60j-r0$  が、右シフト用の第1の冗長選択用のシフト制御回路  $30-1-jrr0$  に接続されている。

【0100】



さらに、図19および図20においては、左端の選択線R0に近い側に位置する冗長選択用ヒューズ回路60j-10が、左シフト用の第2の冗長選択用のシフト制御回路30-2-j110と、右シフト用の第2の冗長選択用のシフト制御回路30-2-j1r0に接続されている。さらに、左端の選択線R0から離れた側に位置する冗長選択用ヒューズ回路60j-11が、左シフト用の第2の冗長選択用のシフト制御回路30-2-j111に接続されている。また一方で、右端の選択線R63に近い側に位置する冗長選択用ヒューズ回路60j-r0が、左シフト用の第2の冗長選択用のシフト制御回路30-2-jr10と、右シフト用の第2の冗長選択用のシフト制御回路30-2-jrr0に接続されている。さらに、右端の選択線R63から離れた側に位置する冗長選択用ヒューズ回路60j-r1が、右シフト用の第2の冗長選択用のシフト制御回路30-2-jrr1に接続されている。

#### 【0101】

さらに、図19および図20のシフト制御回路は、互いに隣接する左シフト用の第1のシフト制御回路における一方の第1の入力信号uin0と一方の第1の出力信号uout0を接続すると共に、互いに隣接する右シフト用の第1のシフト制御回路における他方の第1の入力信号lin0と他方の第1の出力信号lout0を接続することによって、直列接続された回路を2段構えにした構成になっている。左端に位置する左シフト用の第1の冗長選択用のシフト制御回路30-1-j110の入力信号uin0、および、右端に位置する右シフト用の第2の冗長選択用のシフト制御回路30-1-jrr0の入力信号lin0は、それぞれ高電圧側の電源（電源電圧Vii）より“H”レベルの電圧が入力される。

#### 【0102】

さらに、図19および図20のシフト制御回路は、互いに隣接する左シフト用の第2のシフト制御回路における一方の第2の入力信号uin1と一方の第2の出力信号uout1を接続すると共に、右シフト用の第2のシフト制御回路における他方の第2の入力信号lin1と他方の第2の出力信号lout1を接続することによって、直列接続された回路を2段構えにした構成になっている。左端に位置する左シフト用の第2の冗長選択用のシフト制御回路30-2-j111

の入力信号  $u_{in1}$ 、および、右端に位置する右シフト用の第2の冗長選択用のシフト制御回路 30-2-jrr1 の入力信号  $l_{in1}$  は、それぞれ高電圧側の電源（電源電圧  $V_{ii}$ ）より“H”レベルの電圧が入力される。

#### 【0103】

上記の実施例においては、1ビット～4ビットのシフト冗長処理を行うために、複数の選択線に対し一対一対応でヒューズを設ける必要がある。それゆえに、選択線の数が増加するにつれてヒューズの数も増大する。例えば、64本の選択線が配置された半導体記憶装置においては、64本の選択線、および4本の冗長選択線にそれぞれ対応する合計68個のヒューズを半導体チップ上にレイアウトしなければならない。

#### 【0104】

このような点を考慮し、必要なヒューズの数できるだけ限り節減するようにするために、複数のヒューズの組み合わせにより生成される信号をデコードすることによってヒューズデコード信号を生成することもできる。例えば、64本の選択線にそれぞれ対応するヒューズデコード信号を生成する場合、6本（ $2^6 = 64$ ）のヒューズを組み合わせることによって64通りのヒューズデコード信号が生成されるので、4本の冗長選択用ヒューズを含めても16本のヒューズを用意すればよいことになる。

#### 【0105】

##### 【発明の効果】

以上説明したように、本発明の半導体記憶装置によれば、少なくとも2ビットのシフト冗長機能を有するスイッチ部を2段かつ直列に配置し、各々のスイッチ部に対して、一方の端の冗長選択線の方もしくは他方の端の冗長選択線の方または双方の冗長選択線の方にデコード信号線をシフトさせる切替動作を行わせることにより、群不良等に起因して半導体チップ上に3本以上の欠陥選択線が発生した場合に、3ビット以上のシフト冗長動作を行って上記の欠陥選択線を救済することができるので、チップ製造上の歩留りが向上する。

#### 【0106】

さらに、本発明の半導体記憶装置によれば、2段に配置されたスイッチ部の少

なくとも一方のスイッチ部に対して、一方の冗長選択線の方もしくは他方の冗長選択線の方または双方の冗長選択線の方に切替動作を行わせることにより、半導体チップ上に 1 本または 2 本の欠陥選択線が発生した場合でも、これらの欠陥選択線を救済することができる。

【図面の簡単な説明】

【図 1】

本発明の原理構成を示すブロック図である。

【図 2】

4 本の選択線に欠陥が生じた場合のスイッチ部の動作を示す模式図である。

【図 3】

3 本の選択線に欠陥が生じた場合のスイッチ部の動作の第 1 例を示す模式図である。

【図 4】

3 本の選択線に欠陥が生じた場合のスイッチ部の動作の第 2 例を示す模式図である。

【図 5】

2 本の選択線に欠陥が生じた場合のスイッチ部の動作の第 1 例を示す模式図である。

【図 6】

2 本の選択線に欠陥が生じた場合のスイッチ部の動作の第 2 例を示す模式図である。

【図 7】

2 本の選択線に欠陥が生じた場合のスイッチ部の動作の第 3 例を示す模式図である。

【図 8】

1 本の選択線に欠陥が生じた場合のスイッチ部の動作の第 1 例を示す模式図である。

【図 9】

1 本の選択線に欠陥が生じた場合のスイッチ部の動作の第 2 例を示す模式図で

ある。

【図 1 0】

選択線に欠陥がない場合のスイッチ部の動作を示す模式図である。

【図 1 1】

4 本の選択線に欠陥が生じた場合にスイッチ部の動作による各部の信号レベルを示す図である。

【図 1 2】

3 本の選択線に欠陥が生じた場合にスイッチ部の動作による各部の信号レベルを示す図である。

【図 1 3】

本発明の一実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図 1 4】

本発明の一実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図 1 5】

本発明の一実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図 1 6】

本発明の一実施例における第 1 および第 2 のシフト制御回路の構成を示す回路図である。

【図 1 7】

本発明の一実施例における第 1 のスイッチ部の構成を示す回路図である。

【図 1 8】

本発明の一実施例における第 2 のスイッチ部の構成を示す回路図である。

【図 1 9】

本発明の一実施例に係る全体的な回路構成を示すブロック図（その 1）である。

【図 2 0】

本発明の一実施例に係る全体的な回路構成を示すブロック図（その 2）である。

【図 2 1】

従来の 2 ビットのシフト冗長機能を有する半導体記憶装置の構成例を示すブロック図である。

【図 2 2】

図 2 1 に係る 2 ビットのシフト冗長動作を説明するための模式図である。

【符号の説明】

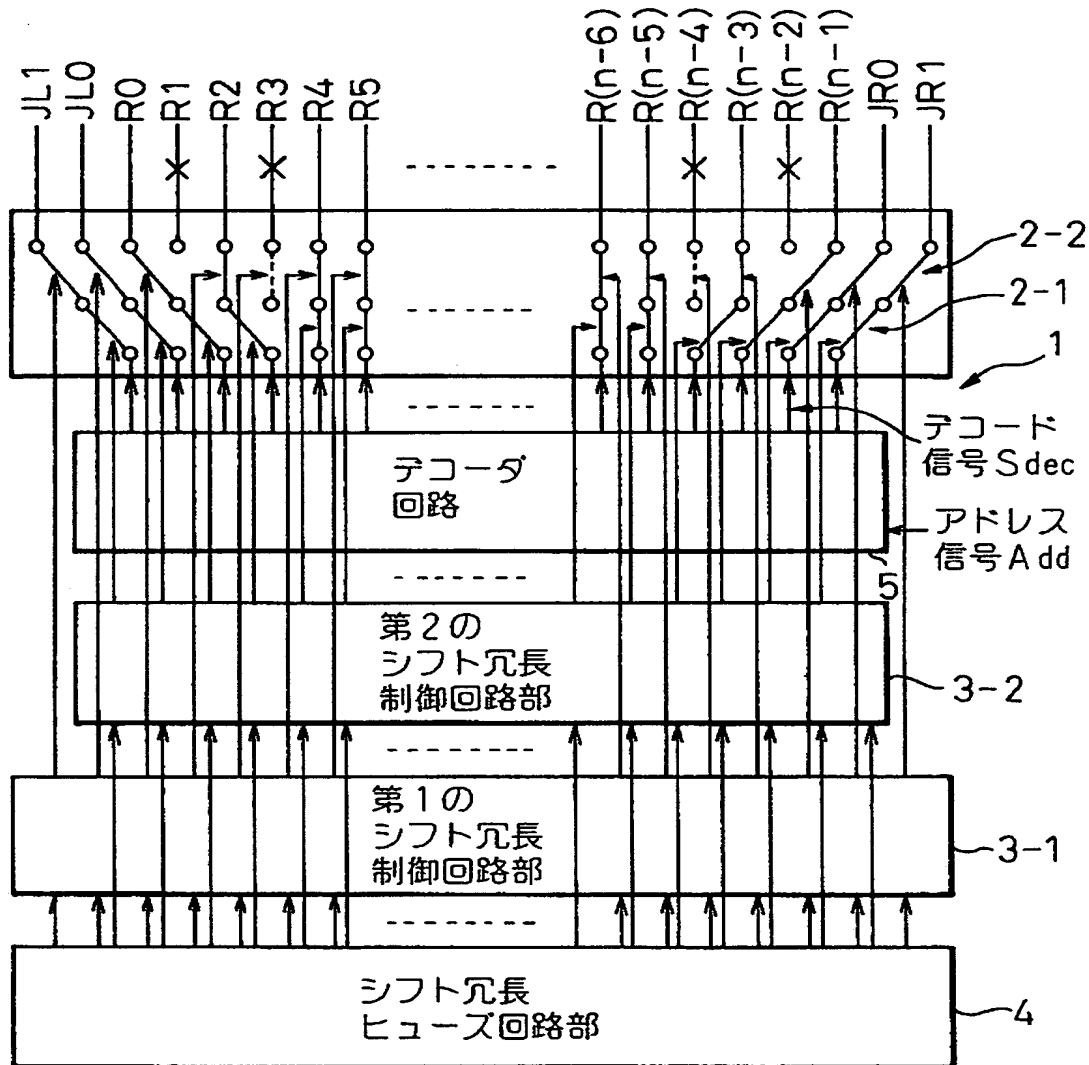
- 1 …シフト冗長回路
- 2-1 …第 1 のスイッチ部
- 2-2 …第 2 のスイッチ部
- 3-1 …第 1 のシフト冗長制御回路部
- 3-2 …第 2 のシフト冗長制御回路部
- 4 …シフト冗長ヒューズ回路部
- 5 …デコーダ回路
- 20-1、20-2 …インバータ
- 21-1、21-2 …NOR ゲート
- 22-1、24-1 および 26-1 …インバータ
- 22-2、24-2 および 26-2 …インバータ
- 23-1、25-1 および 27-1 …トランスファゲート
- 23-2、25-2 および 27-2 …トランスファゲート
- 28-2 …Pチャネル型トランジスタ
- 30-1 …第 1 のシフト制御回路
- 30-1-1 …左シフト用の第 1 のシフト制御回路
- 30-1-r …右シフト用の第 1 のシフト制御回路
- 30-2 …第 2 のシフト制御回路
- 30-2-1 …左シフト用の第 2 のシフト制御回路
- 30-2-r …右シフト用の第 2 のシフト制御回路
- 31-1、31-2 …NAND ゲート

32-1…NANDゲート  
 32-2…インバータ  
 33-1、33-2…NANDゲート  
 34-1…NANDゲート  
 34-2…インバータ  
 40…ヒューズ  
 41…Pチャネル型トランジスタ  
 42、44…Nチャネル型トランジスタ  
 43、45…インバータ  
 60…ヒューズ回路  
 60j…冗長選択用ヒューズ回路  
 60pj…強制冗長用ヒューズ回路  
 100…シフト冗長回路  
 200…スイッチ部  
 300…シフト冗長制御回路部  
 400…シフト冗長ヒューズ回路部  
 500…デコーダ回路  
 R0～R(n-1)…選択線  
 JL0、JL0、JR0およびJR1…冗長選択線  
 sl0～sl(n-1)…選択線  
 slj0、slj1…冗長選択線  
 cl0～sl63…選択線  
 clj0、clj1…冗長選択線

【書類名】 図面

【図 1】

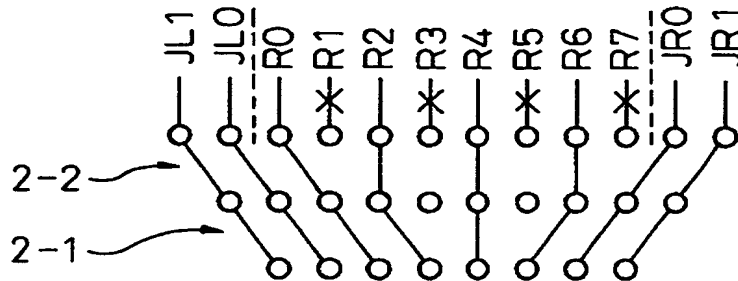
図 1 本発明の原理構成を示すブロック図



- 1…シフト冗長回路
- 2-1…第1のスイッチ部
- 2-2…第2のスイッチ部
- R0～R(n-1)…選択線
- JL0, JL1, JR0およびJR1…冗長選択線

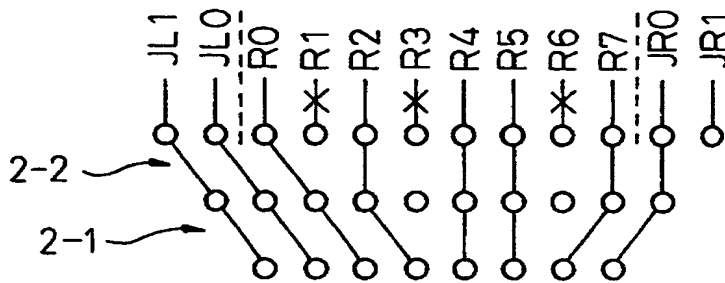
【図 2】

図 2 4 本の選択線に欠陥が生じた場合のスイッチ部の動作を示す模式図



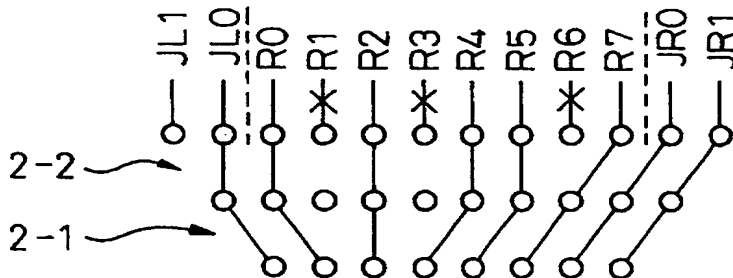
【図 3】

図 3 3 本の選択線に欠陥が生じた場合のスイッチ部の動作の第 1 例を示す模式図



【図 4】

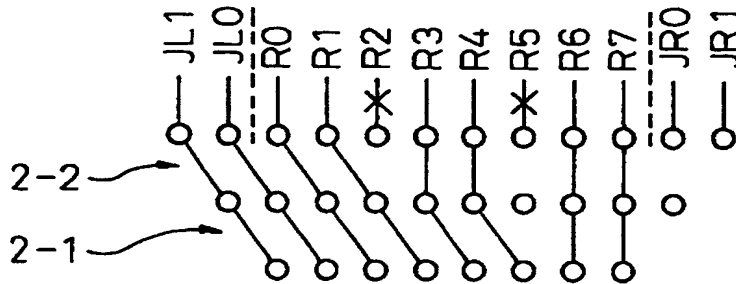
図 4 3 本の選択線に欠陥が生じた場合のスイッチ部の動作の第 2 例を示す模式図





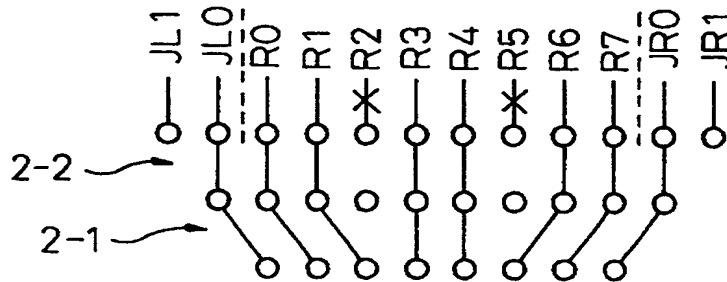
【図 5】

図 5 2 本の選択線に欠陥が生じた場合のスイッチ部の動作の第 1 例を示す模式図



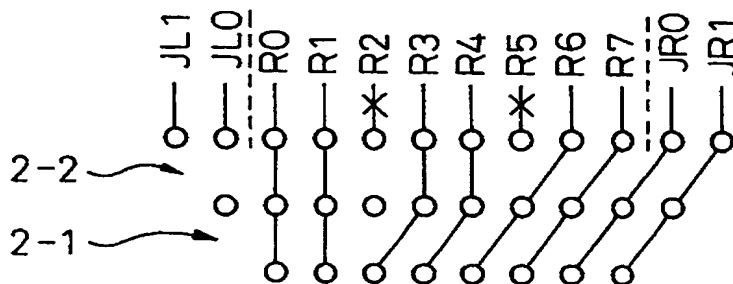
【図 6】

図 6 2 本の選択線に欠陥が生じた場合のスイッチ部の動作の第 2 例を示す模式図



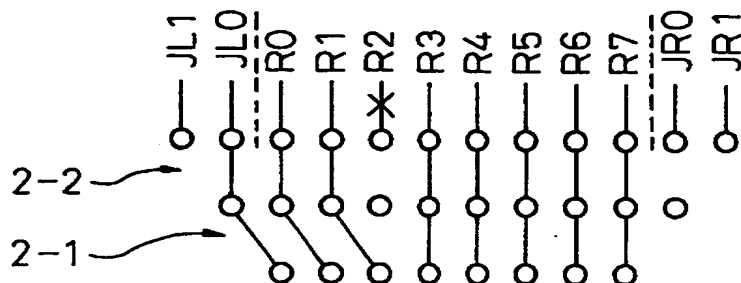
【図 7】

図 7 2 本の選択線に欠陥が生じた場合のスイッチ部の動作の第 3 例を示す模式図



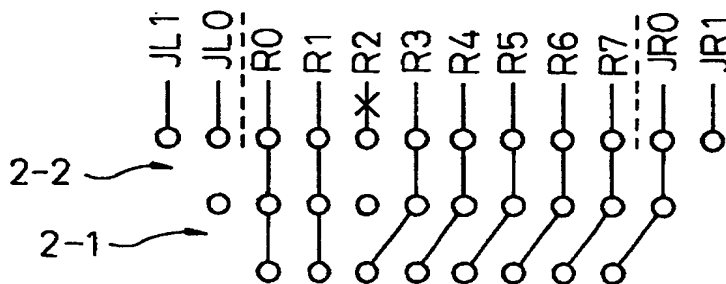
【図 8】

図 8 1本の選択線に欠陥が生じた場合のスイッチ部の動作の第1例を示す模式図



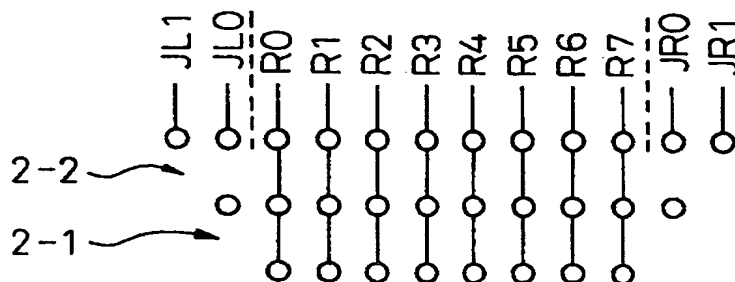
【図 9】

図 9 1 本の選択線に欠陥が生じた場合のスイッチ部の動作の第 2 例を示す模式図



【図 10】

図 10 選択線に欠陥がない場合のスイッチ部の動作を示す模式図



【図 1 1】

図 11

4 本の選択線に欠陥が生じた場合にスイッチ部の動作による各部の信号レベルを示す図

選択線	JL1	JL0	R0	R1	R2	R3	R4	R5	R6	R7	JR0	JR1
第 2 のシフト冗長 { uout 1 制御回路部の出力 lout 1 シフト	H	H	H	L	L	L	L	L	L	L	L	L
	L	L	L	L	L	L	L	L	L	L	H	H
	←	←	←	X	↑	X	↑	X	↑	X	→	→
第 1 のシフト冗長 { uout 0 制御回路部の出力 lout 0 シフト		H	H	H	H	L	L	L	L	L	L	L
		L	L	L	L	L	L	L	H	H	H	H
	←	←	←	←	←	X	↑	X	→	→	→	→
シフト冗長ヒューズ 回路部の出力 ヒューズ	H	H	H	L	H	L	H	L	H	L	H	H
	切断	切断		切断	切断	切断		切断		切断	切断	切断

←: 左方向シフト  
→: 右方向シフト  
X: シフトなし

【図 12】

図 12

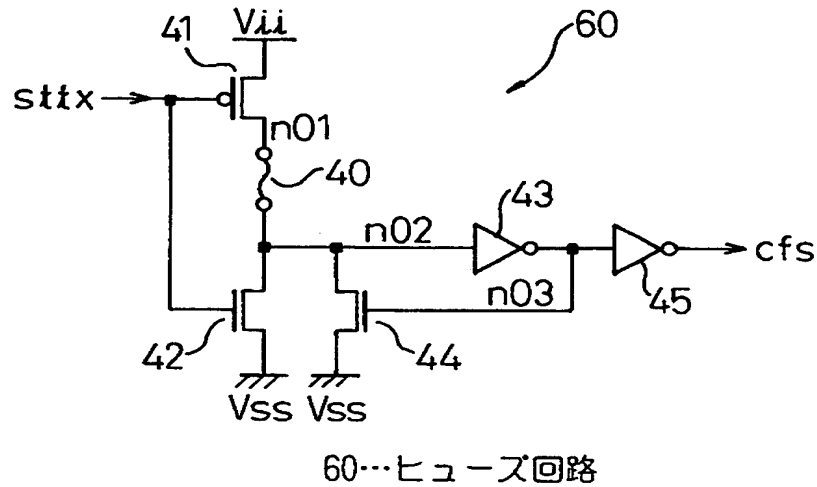
3本の選択線に欠陥が生じた場合にスイッチ部の動作による各部の信号レベルを示す図

選択線	JL1	JL0	R0	R1	R2	R3	R4	R5	R6	R7	JR0	JR1
第2のシフト冗長 制御回路部の出力 シフト	H	H	H	L	L	L	L	L	L	L	L	L
	L	L	L	L	L	L	L	L	L	L	L	L
	←	←	←	X	↑	X	↑	↑	X	↑	↑	↑
第1のシフト冗長 制御回路部の出力 シフト	H	H	H	H	H	L	L	L	L	L	L	L
	L	L	L	L	L	L	L	L	L	H	H	H
	←	←	←	←	←	X	↑	↑	X	↑	↑	↑
シフト冗長ヒューズ 回路部の出力 ヒューズ	H	H	H	L	H	L	H	H	L	H	H	L
	切断	切断	切断	切断	切断	切断	切断	切断	切断	切断	切断	切断

【図 1 3】

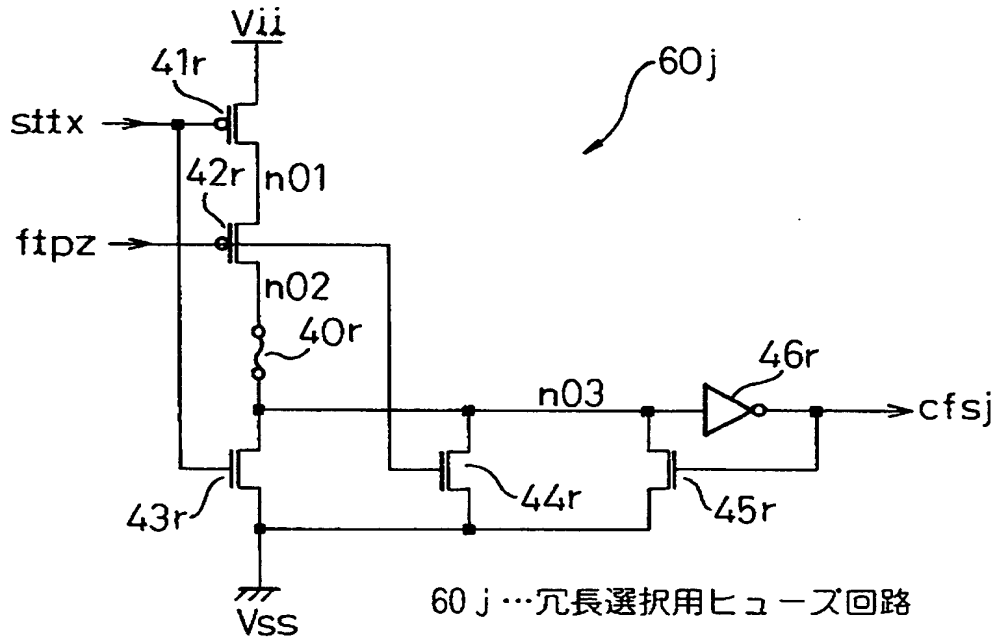
図 13

本発明の一実施例における通常選択用のヒューズ回路の構成を示す回路図



【図 1 4】

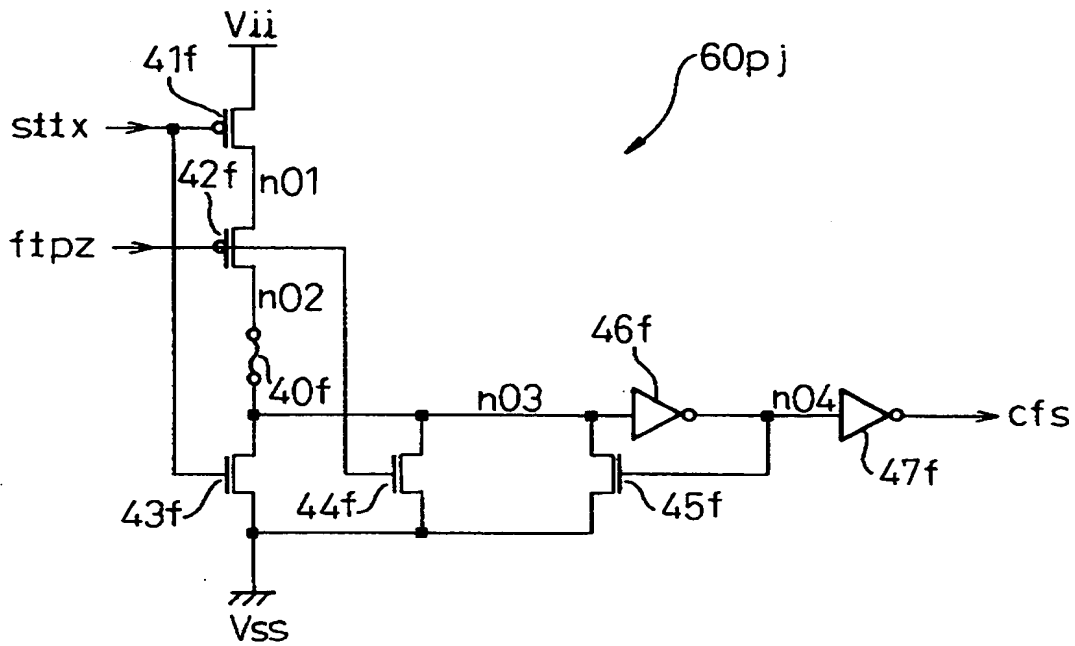
図 14 本発明の一実施例における冗長選択用ヒューズ回路の構成を示す回路図



【図 1 5】

図 15

本発明の一実施例における強制冗長用ヒューズ回路の構成を示す回路図

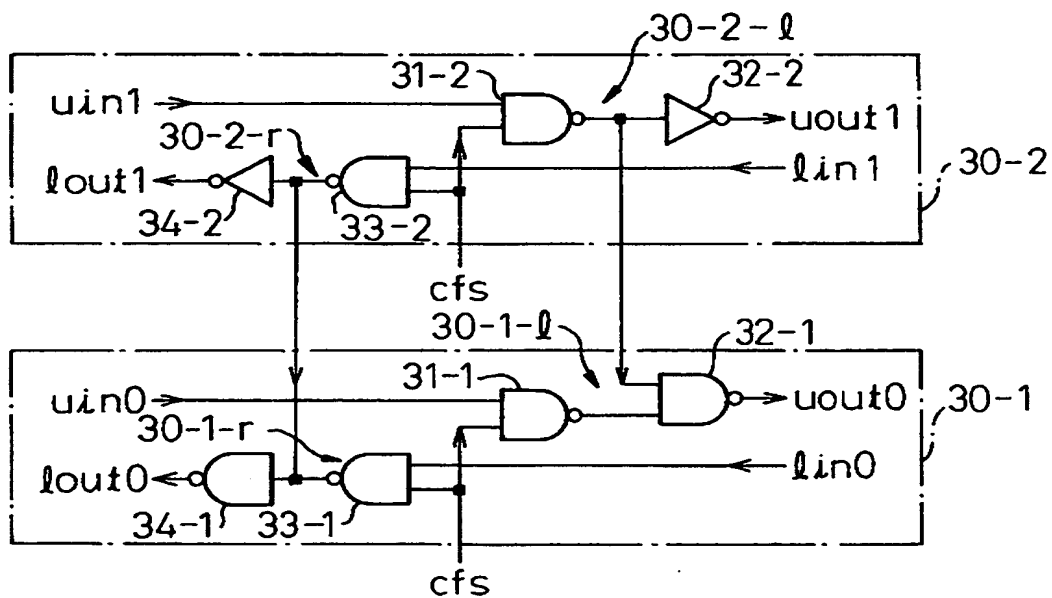


60pj…強制冗長用ヒューズ回路

【図 1 6】

図 16

本発明の一実施例における第 1 および第 2 のシフト制御回路の構成を示す回路図

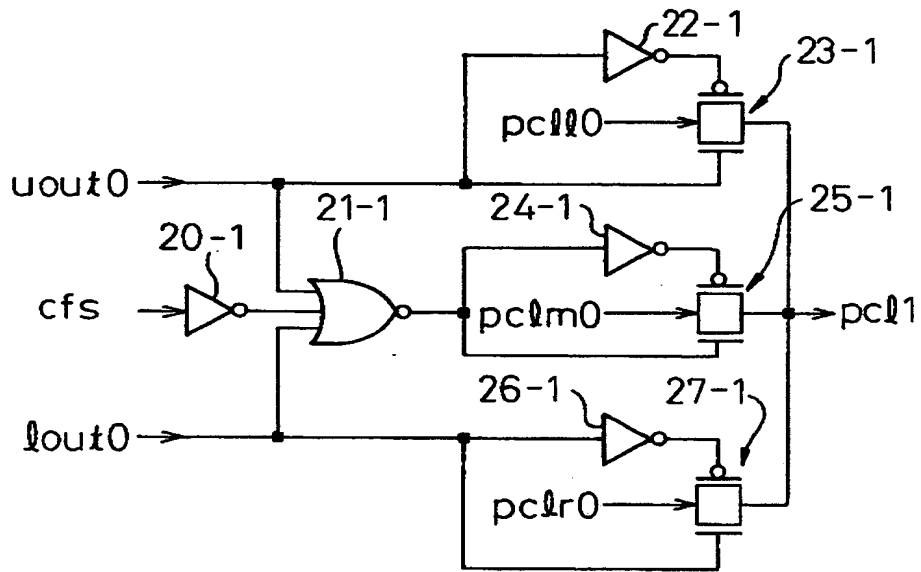


- 30-1 …第 1 のシフト制御回路
- 30-1-l …左シフト用の第 1 のシフト制御回路
- 30-1-r …右シフト用の第 1 のシフト制御回路
- 30-2 …第 2 のシフト制御回路
- 30-2-l …左シフト用の第 2 のシフト制御回路
- 30-2-r …右シフト用の第 2 のシフト制御回路

【図 1 7】

図 17

本発明の一実施例における第 1 のスイッチ部の構成を示す回路図

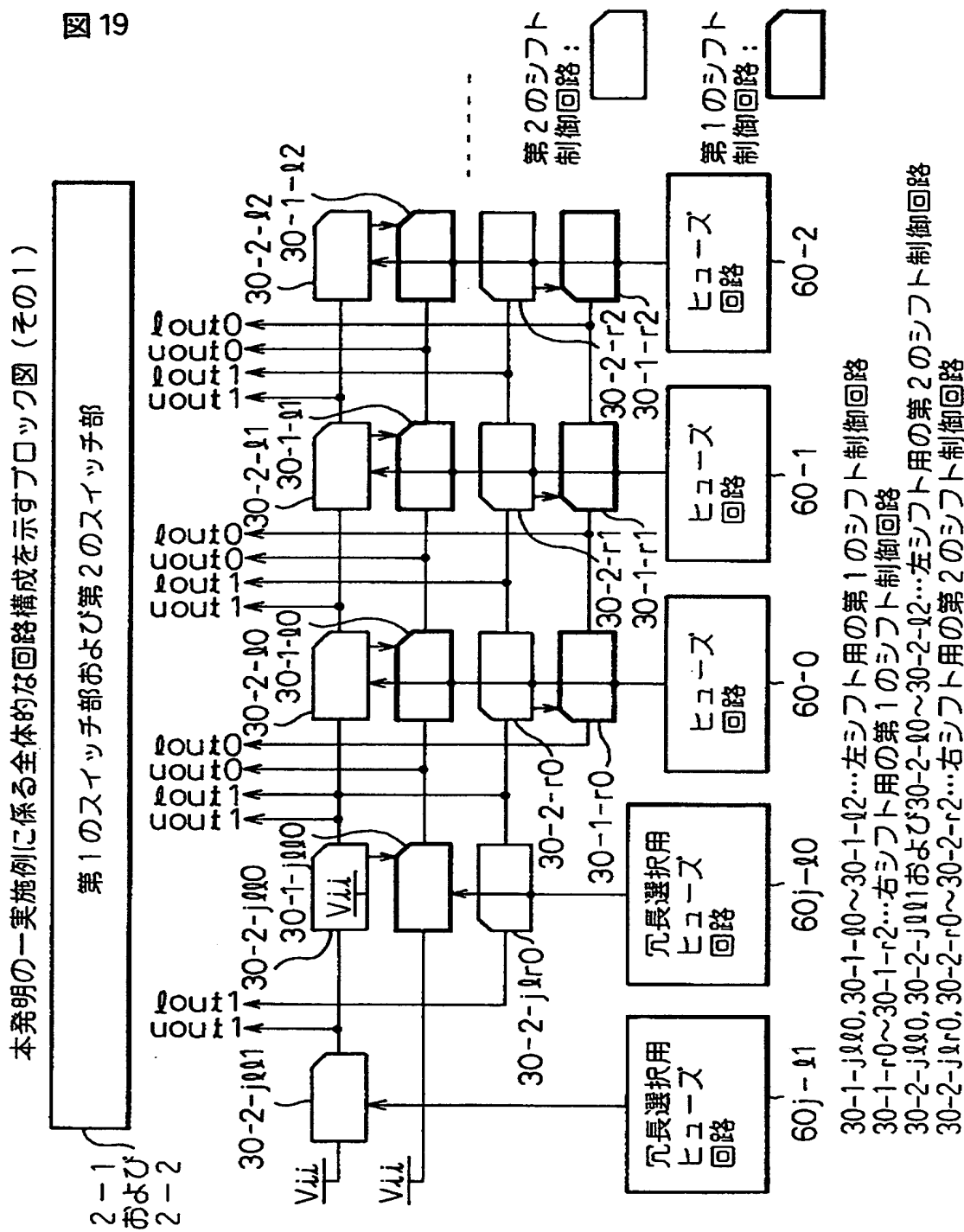






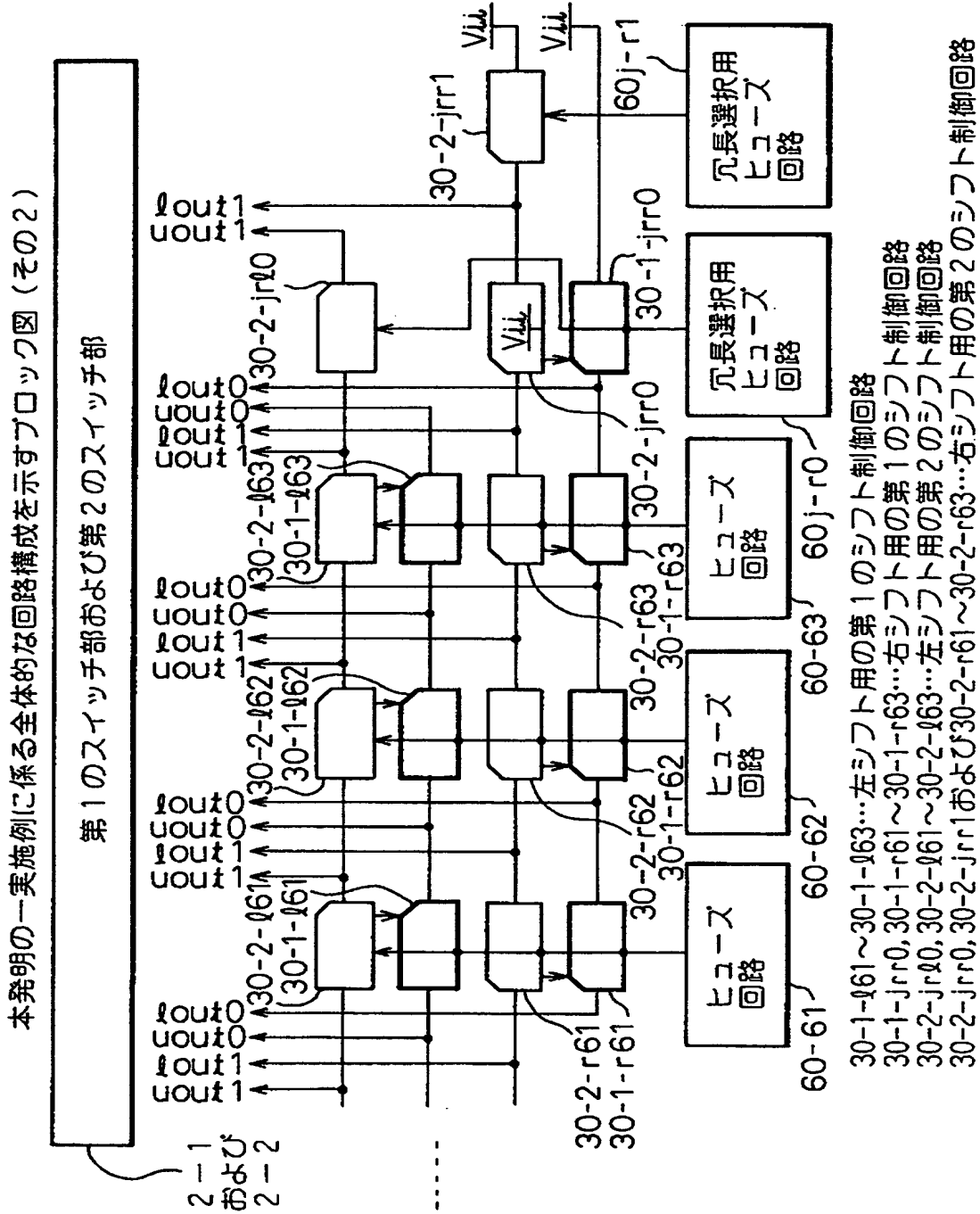
【图 19】

图 19



【図 2 0】

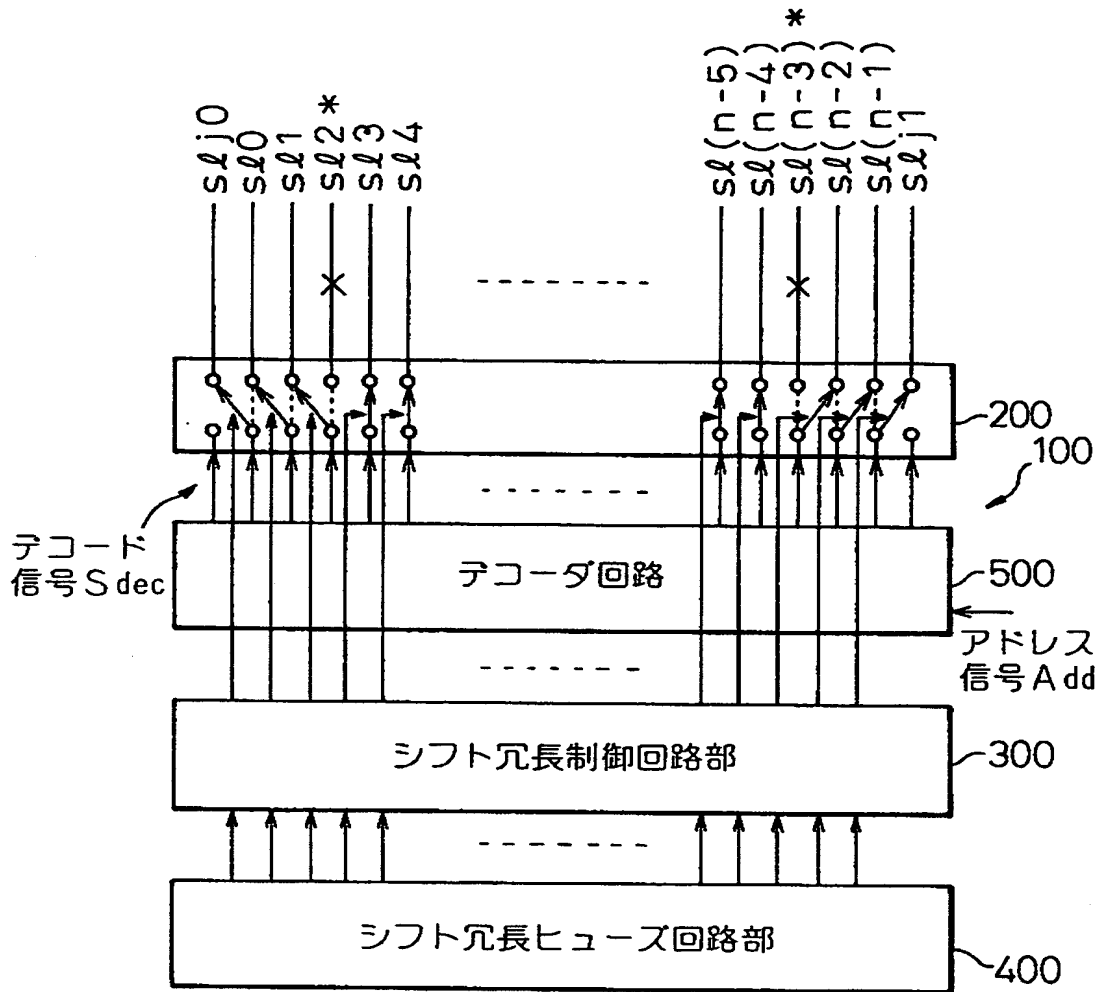
図 20



【図 21】

図 21

従来の 2 ビットのシフト冗長機能を有する半導体記憶装置  
の構成例を示すブロック図



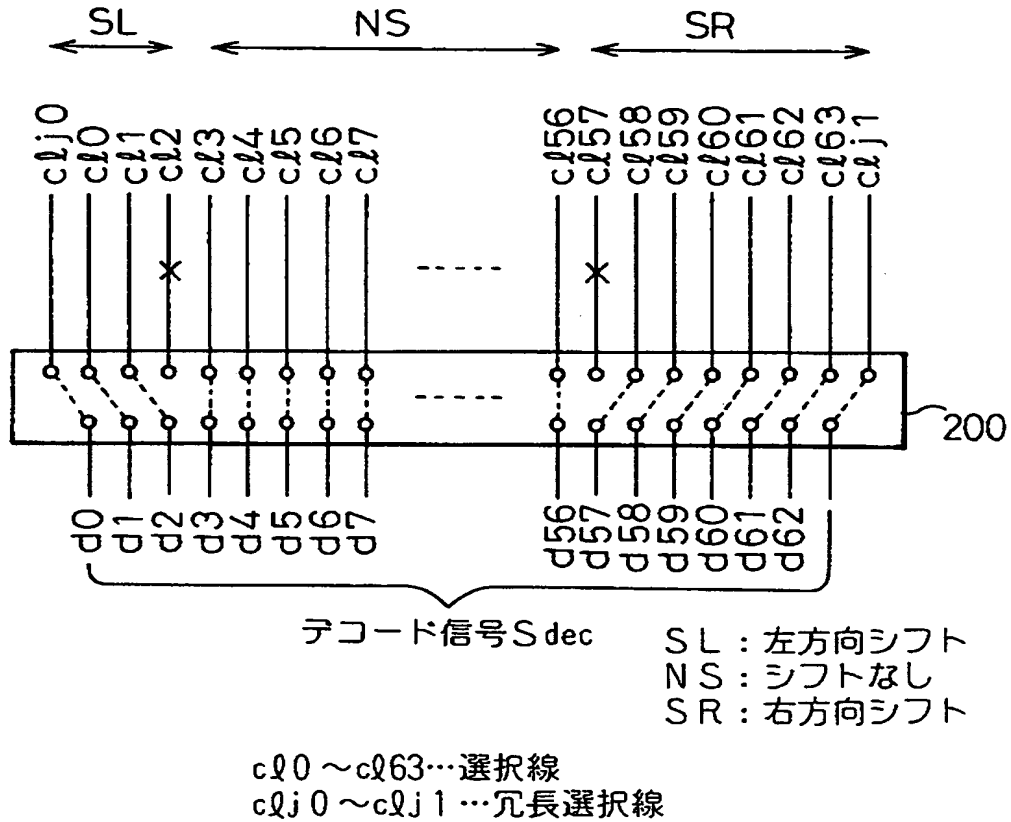
\* 注)  
例えば、選択線  $sl_2$  および  $sl(n-3)$   
に欠陥が生じたものとする

100 …シフト冗長回路  
200 …スイッチ部  
 $sl_0 \sim sl(n-1)$  …選択線  
 $sl_{j0} \sim sl_{j1}$  …冗長選択線

【図 2 2】

図 22

図21に係る2ビットのシフト冗長動作を説明するための模式図



【書類名】 要約書

【要約】

【課題】 複数の選択線の一部に欠陥が生じた場合に冗長選択線を用いてシフト冗長を行う機能を備えた半導体記憶装置に関し、半導体チップに発生した3本以上の欠陥選択線を救済してチップ製造の歩留り向上を図ることを目的とする。

【解決手段】 複数の選択線の一端に位置する2本以上の第1の冗長選択線と、他端に位置する2本以上の第2の冗長選択線と、デコード信号線を選択線や冗長選択線に切替可能に接続する2段の第1および第2のスイッチ部 2-1, 2-2 とを備え、欠陥選択線が生じた場合、第1のスイッチ部にてデコード信号線の1本以上を第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、第2のスイッチ部にてデコード信号線の1本以上を第1の冗長選択線の方にシフトさせる第3の切替動作を行うか、第2の冗長選択線の方にシフトさせる第4の切替動作を行う。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社